

⑪ 公表特許公報 (A)

平4-507320

⑫ 公表 平成4年(1992)12月17日

⑬ Int. Cl. *
G 11 C 16/04

識別記号

庁内整理番号

9191-5L G 11 C 17/00

審査請求 未請求
予備審査請求 有部門(区分) 6 (4)
308

(全30頁)

⑬ 発明の名称 多状態EEPROMの読み書き回路および技術

⑭ 特 願 平2-506478

⑮ 翻訳文提出日 平3(1991)10月14日

⑯ ⑯ 出 願 平2(1990)4月12日

⑯ 国際出願 PCT/US90/01984

⑰ 国際公開番号 WO90/12400

⑱ 国際公開日 平2(1990)10月18日

優先権主張 ⑯ 1989年4月13日 ⑯ 米国(US) ⑯ 337,579

⑭ 発明者 メーラトロ サンジヤイ

アメリカ合衆国 95035 カリフォルニア州 ミルピタス、パーク
シヤー ブレイス 735

⑭ 発明者 ハラリ エリヤホウ

アメリカ合衆国 95035 カリフォルニア州 ロス ガトス、オー
ゼレイズ コート 104⑭ 出願人 サンディスク コーポレイショ
ンアメリカ合衆国 95054 カリフォルニア州 サンタ クララ、ジ
エイ ストリート 3270

⑭ 代理人 弁理士 井ノ口 寿

⑭ 指定国 A T(広域特許), B E(広域特許), C H(広域特許), D E(広域特許), D K(広域特許), E S(広域特許), F R
(広域特許), G B(広域特許), I T(広域特許), J P, L U(広域特許), N L(広域特許), S E(広域特許)

最終頁に続く

請求の範囲

1. コントロールゲートを持ち電気的に消去およびプログラムすることができるアドレス可能な複数の半導体アレイで、

メモリとして使用する間に一定のレベルにプログラムされる電荷を保持することができるフローティングゲートと、および、前記フローティングゲートから電荷を除去することができる消去電極を持つ、アドレスされたセルのプログラム状態がある決められたスレッシュホールドよりも大きいか、少ないかを読み出すシステムにおいて、

リファレンスマリセルと、

スレッシュホールドに対して実質的に等しいか、または比例する電荷を持つ前記リファレンスセルの消去、または再プログラミングのために前記メモリセルアレイの消去と再プログラミングのために応答する手段と、

アドレスされたセルの電荷のレベルをリファレンスセルのそれと比較するために前記リファレンスセルに応答する読み取り手段とを含む読み取りシステム。

2. 請求項1記載のシステムであって、前記読みのシステムはメモリをプログラムするためのシステムの一部であって、各々のアドレスされたセルはプログラムの繰り返しシーケンスにおいて、希望する状態にプログラムされ、小さなステップでプログラムされたベリファイを希望する状態に達するまで続ける読み取りシステム。

3. 請求項1記載のシステムにおいて、前記読み取りシステムは消去システムの一部でもあり、各々のアドレスされたセルは繰り返し消去によって消去状態まで消去され、

ここにおいて、小さいステップでの読み取りとベリファイが前記消去された状態に到達するまで行われる読み取りシステム。

4. 請求項1記載のメモリセルアレイ、読み取りシステムにおいて、前記リファレンスセルに蓄積された電荷のレベルは電気的に消去、およびプログラムを前記メモリの外部から可能である読み取りシステム。

5. 請求項1記載のメモリセルアレイ読み取りシステムにおいて、少なくとも1つのマスタリファレンスセルを含み、これはメモリの外部から前記スレッシュホールドと実質的に等しいか、並列か比例する電荷を持つメモリの外部から消去、およびプログラム可能であり、

ここにおいて前記リファレンスセルの再プログラム手段は前記マスタリファレンスセルから前記リファレンスセルをプログラムする手段を含んでいるシステム。

6. 請求項5記載のメモリセルアレイの読み取りシステムであって、ここにおいて前記読み取り手段は前記リファレンスセルの電荷とアドレスされたセルの電荷とを直接的に比較する手段を含むシステム。

7. 請求項5記載のメモリセルアレイ読み取りシステムであって、前記マスタリファレンスセルの予め定められたスレッシュホールドを前記リファレンスセルの

それに実質的に適合するように調節する手段と、前記マスタリファレンスセルの調節されたスレッシュホールドと前記アドレスされたセルとを比較するための手段とを含む読み取りシステム。

8. ソースとドレインとコントロールゲートとメモリとして使用される期間、プログラムされた一定の電荷を保持することができるフローティングゲートと、

前記フローティングゲートから電荷を除去することができる消去電極と、少なくとも2つの予め定められたスレッシュホールドレベルによって規定される領域内のアドレスされたセルに蓄積された電荷を読み取るシステムであって、

前記少なくとも2つのスレッシュホールドレベルと実質的に等しいか、または比例する電荷で各々プログラムされた少なくとも2つのリファレンスマモリセルとアドレスされたセルの電荷のレベルを前記リファレンスマモリセルのそれらと比較するための少なくとも2つのリファレンスマモリセルに応答する手段であり、これによりアドレスされたセルが前記2つの蓄積された電荷のどちらに対応するかを決定し、

これによって前記アドレスされた各々から1ビットのデータ以上が蓄積されている読み取りシステム。

9. 請求項8記載のシステムにおいて、読み取りシステムは前記メモリセルをプログラムするシステムの一部であって、前記各々のアドレスされたセルはプログラミングの繰り返しによって希望する状態にプログラムされ、小さなステップでプログラムされた状態の読み取りシステムであって、

み取りとペリファイが希望する状態に達するまで繰り返される読み取りシステム。

10. 請求項8記載のシステムにおいて、前記読み取りシステムは消去システムの一部分であり、各々のアドレスされたセルは消去の繰り返しによって、消去された状態まで消去され、小さなステップで読み取りと消去された状態のペリファイが消去された状態に達するまで繰り返される読み取りシステム。

11. 請求項8記載のメモリセル読み出しシステムにおいて、前記比較手段は前記アドレスされたメモリを前記少なくとも2つのリファレンスマモリの電荷と1つずつ順次比較する手段を含んでいる読み取りシステム。

12. 請求項8記載のメモリセル読み出しシステムにおいて、前記システムは消去とプログラミングを前記少なくとも2つのリファレンスマモリについて独立に前記2つのスレッシュホールドを前記メモリの外から消去とプログラミングをするものである読み取りシステム。

13. ソースとドレインとコントロールゲートと、それがメモリとして使用されるときに、ある電荷のレベルにはプログラムされて保持することができるフローティングゲートと、前記フローティングゲートから電荷を除去することができる消去電極を持つ、電気的に消去とプログラム可能な形式のメモリでアドレス可能な複数のアレイにおける予め定められたスレッシュホールドレベルにより規定される2つの領域内のアドレスされたセルの蓄積電荷を読み取るシステムであって、

前記スレッシュホールドレベルと実質的に等しいか、またはそれに比例する電荷でプログラムされる少なくとも1つのリファレンスマモリセルと、

前記リファレンスマモリセルの電荷とアドレスされたセルの電荷のレベルを比較するために前記リファレンスマモリセルに応答するレスポンス手段によって、前記アドレスされたセルに蓄積されている電荷が前記2つの蓄積された領域のいずれかにあるかを決定し、これによって前記アドレスされた各々から1ビットのデータが蓄積される読み取りシステム。

14. 請求項13記載のシステムにおいて、

前記読み取りシステムはメモリセルのプログラムシステムの一部であって、各々のアドレスされたセルは希望する状態にプログラムの繰り返しのシーケンスによってプログラムされ、小さなステップで読み出しとプログラムされた状態のペリファイが希望する状態に達するまで行われる読み取りシステム。

15. 請求項13記載のシステムにおいて、前記読み取りシステムは消去システムの一部であって、各々アドレスされたセルは消去の状態まで繰り返しの消去手続きにより行われ、小さなステップで読み取りとペリファイが前記消去の状態に達するまで行われる読み取りシステム。

16. ソースとドレインとフローティングゲート上にプログラムされた電荷のレベルによってコントロールされる前記ソースとドレイン間のコンダクタンスと、コントロールゲートと消去電極を持つアドレス可能な半

導体で電気的に消去およびプログラム可能なメモリセルの複数個のアレイを持つものにおいて、そこを通じる電流を測定することによってアドレスされた状態を読み出すための読み取りシステムにおいて、

前記アドレスされたセルのフローティングゲート上の電荷のレベルに比例するところの電流レベルを供給するように電流を前記選択されたセルの前記ドレインとソース間に通じさせる手段と、

少なくとも2つの予め定められたスレッシュホールドレベルに対応して各々のフローティングゲート上にプログラムされた電荷を持つ、リファレンスマモリセルとして提供される少なくとも2つのメモリセルと、

前記アドレスされたものおよび、リファレンスマモリセルをアドレスセルに流れる電流と前記リファレンスマモリセルに流れる電流を比較するために接続する手段であって、これによって前記アドレスされたセルのチャージが少なくとも前記スレッシュホールドによって定義される3つのレベルのどこにあるかを決定することにより、少なくとも1と1/2ビットのインフォメーションを前記アドレスされたセルに蓄積する読み取りシステム。

17. 請求項16記載のシステムにあって、前記読み取りシステムは、メモリセルをプログラムするシステムの一部であり、各々のアドレスされたセルは希望する状態までプログラムの繰り返しの手続きにより、小さなステップで読み出しのペリファイが前記望まれる状態に達するまで行われる読み取りシステム。

18. 請求項16記載のシステムにあって、前記読み取り

システムは消去の一部を形成し、それはアドレスされたセルが消去されるまで繰り返す消去のプロセスによって小さいステップで読み取りと消去された状態のペリファイを前記消去された状態に達するまで行われる読み取りシステム。

19. 請求項 16 に基づくメモリアレイセル読み出しシステムであって、

前記変換手段は前記アドレスセルと前記リファレンスセルに接続された電流ミラー回路を持っている読み取りシステム。

20. 集積回路チップ上に形成された EEPROM メモリシステムであって、

個別的にアドレス可能な EEPROM メモリセルの複数のグループと、

1 またはそれ以上のリファレンスセルとして供給された EEPROM グループであって、各々は前記メモリセルの部分を形成する 1 またはそれ以上のリファレンスセルと、

前記個々にアドレスできるセルをプログラムするために前記チップの外側からの信号に応答して少なくとも 2 つの導通状態の 1 つにするように信号に応答する手段と、

繰てのアドレス可能な指定されたグループのリファレンスセルの繰てを同時に消去するために、チップの外からの信号に応答する手段と、

1 またはそれ以上のマスタ EEPROM リファレンスセルと、

段を含む読み取りシステム。

24. 請求項 20 記載のメモリシステムにおいて、前記読み取り手段は、前記マスタリファレンスセルを対応するグループのリファレンスセルに対応して調整する手段と、

そのように調整されたマスタリファレンスセルとアドレスセルを比較する手段とを含む読み取りシステム。

25. 請求項 24 記載のシステムであって、

前記読み取り手段はメモリセルをプログラムするためのシステムの一部であって、アドレスされたセルの各々は希望する状態に至るまで、プログラムの繰り返し手順により小さいステップでプログラムされた状態の読み取りとペリファイを希望する状態に達するまで続ける読み取りシステム。

26. 請求項 24 記載のシステムにおいて、

読み取り手段は消去手段の一部であって、各々のアドレスされたセルは消去される状態まで、繰り返し消去の手順による小さいステップで消された状態の読みとペリファイを消去の状態に達するまで続ける読み取りシステム。

27. 集積回路チップ上に形成された半導体の電気的に消去とプログラム可能なメモリ (EEPROM) のアレイであって、

前記メモリセルはソースとドレインとコントロールゲートとセルの中のデータの読みプログラムおよび消去のために特定の電圧を受け入れることができる消去ゲートと、前記セルの特殊なメモリ状態に対応する特

少なくとも 3 つの導通状態に対応する各々マスタセルの異なったスレッシュホールドレベルを消去またはプログラミングするために前記チップ外から信号に応答する手段と、

前記マスタリファレンスセルのレベルに前記グループのリファレンスセルをプログラムするためプログラム中のグループのここにアドレス可能なセルに応答する手段と、

前記与えられたグループのリファレンスレベルを読み出すために前記チップの外側から信号に応答する手段と、

からなる読み取りシステム。

21. 請求項 20 記載のシステムであって、

前記読み取り手段は、メモリセルをプログラムするためのシステムの一部であって、各々のアドレスされたセルはプログラムの繰り返しによって、希望する状態まで小さいステップでプログラムされた状態の読み取りとペリファイを希望する状態に達するまで行う読み取りシステム。

22. 請求項 20 記載のシステムにおいて、前記読み取り手段は消去システムの一部であって、各々アドレスされたセルは、消去状態に至るまで、繰り返しの消去の手続きを小さいステップで消された状態のペリファイを前記消去の状態にするまで行う読み取りシステム。

23. 請求項 20 記載のメモリシステムにおいて、前記読み取り手段は、アドレスされたセルと与えられたグループのリファレンスセルとを直接比較するための手

定の電荷レベルを保持することができるフローティングゲートとを持ち、特定のメモリ状態は引き続くプログラムまたは消去条件で電荷のレベルの増加または、減少を行うことによって特定のメモリ状態に到達できるようにした EEPROM のデータプログラムシステムにおいて、

複数のアドレスされたセルのプログラムのためのチャネルのデータを一時的に記憶するための手段と前記記憶されたチャネルのデータを複数のアドレスされたセルの中に並列にプログラムするための手段と、

前記蓄積されたチャネルデータで、複数のアドレスされたセルの各々の中の前記プログラムされたデータをペリファイする手段と、

アドレスされた複数のセルの繰てがペリファイされるまでに、アドレスされたセルの 1 またはそれ以上を並列的にプログラムの読み出しを可能にする手段と、を含む EEPROM のデータプログラムシステム。

28. 請求項 27 記載の EEPROM をプログラムするための手段であって、前記システムは EEPROM 集積回路チップ上に存在する EEPROM のデータプログラムシステム。

29. 請求項 28 記載の EEPROM セルをプログラムするためのシステムであって、

予め定められた、1 またはそれ以上のスレッシュホールドレベルに規定される領域内のアドレスされたセルの記憶された電荷を読み出すためペリファイ手段を含む EEPROM のデータプログラムシステムにおいて、

前記1またはそれ以上のスレッシュホールドレベルに実質的に等しいか、または比例する電荷によって、個別的にプログラムされる1または2以上のリファレンスマモリと、

アドレスされたセルの電荷のレベルを前記リファレンスセルの各々と比較をするための1または2以上のリファレンスセルに応答する手段であって、これによって前記アドレスされたセルの記憶の領域が前記複数の記憶領域のどれにあたるかを知るEEPROMのデータプログラムシステム。

30. 請求項28記載のEEPROMセルをプログラムするためのシステムであって、前記メモリセルの縦てのセルはグループ中の縦てのセルと一緒に消去されるようにグループ付けされており、ペリファイ手段が読み回路を含むEEPROMプログラムシステムであって、

1または2以上のEEPROMグループのリファレンスセルは前記メモリセルのグループの各々の部分として提供されるものであり、前記個々にアドレス可能なセルを少なくとも2つの導通状態の1つにプログラムするために前記チップの外側からの信号に応答する手段と、指定されたグループのアドレス可能なリファレンスセルの縦てを同時に消去するために前記チップの外部からの信号に応答する手段と、

1または2以上のマスタEEPROMリファレンスセルと、

前記1または2以上のマスタリファレンスセル上の

異なったスレッシュホールドレベルであって、それは少なくとも2つのコンダクション状態の間のブレイクポイントに相当するものである消去または、プログラミングするために前記チップの外部からの信号に応答する手段と、

グループリファレンスセルを前記マスタリファレンスセルのレベルにプログラムするためにプログラムされたグループの個々にアドレス可能なセルに応答する手段と、

与えられたグループのアドレスされた個々アドレス可能なセルを前記与えられたグループのリファレンスセルと比較することによって読み出す手段と、を含むEEPROMのデータプログラムシステム。

31. 請求項30記載のメモリシステムにおいて、前記読み出し手段は、前記グループのリファレンスセルに応答するマスタリファレンスセルを腐蝕するための手段とアドレスされたセルを前記のように調整されたマスタリファレンスセルと比較するための手段とを含むEEPROMのデータプログラムシステム。

32. 請求項28記載のEEPROMセルをプログラムするシステムであって、前記セルは2ビットの状態を持ち、引き続くプログラムを可能にする手段は、縦てのアドレスされたセルに並列に縦てのアドレスされたセルがペリファイされるまで印加するEEPROMのデータプログラムシステム。

33. 請求項28記載のEEPROMセルをプログラム

するためのシステムであって、

チップ上に既にペリファイされている任意のアドレスされたセルのプログラミングを個別的に禁止するための手段を持ち、ペリファイされていないアドレスされた他のセルを並行的にプログラムを可能にするEEPROMのデータプログラムシステム。

34. 請求項33記載のシステムにおいて、

前記メモリセルは2以上の状態をもつEEPROMのデータプログラムシステム。

35. 請求項33記載のシステムにおいて、前記メモリセルは2ビットの状態であるEEPROMのデータプログラムシステム。

36. 集積回路チップ上のアドレス可能な半導体で電気的に消去およびプログラムできるメモリセルであって、前記メモリセルはソース、ドレイン、コントロールゲートと読み、プログラム、および処理中のデータの消去のための特定の電圧条件を受け入れることができる消去電極と、前記セルの特定のメモリ状況に対応する特定の電荷を保持することができるフローティングゲートを持つ形式のものであり、1つのメモリ状況は一連のプログラム、または消去電圧の印加によって前記電荷のレベルを上昇、または下降させることによって達成されるものであり、前記EEPROMメモリセルを消去するためのシステムであって、

複数のアドレスされたセルを並列に消去するための手段と、

複数のアクセスされたセルの各々のメモリ状態をベ

リファイするための手段と、

アドレスされたセルの1、またはそれ以上のセルが、消去された状態になるまで、並列に消去を可能ならしめる手段と、

からなるEEPROMメモリセルを消去するためのシステム。

37. 請求項36記載のEEPROMセルの消去システムであって、前記システムはEEPROM集積回路チップ上に存在するEEPROMメモリセルを消去するためのシステム。

38. 請求項36記載のEEPROMセル消去システムであって、前記システムはEEPROM集積回路チップの外に存在するEEPROMメモリセルを消去するためのシステム。

39. 請求項38記載のEEPROMセルを消去するためのシステムであり、前記ペリファイ手段は予め定められた1またはそれ以上のスレッシュホールドレベルに規定される領域内にアドレスされたセルの蓄積電荷を読み出すための手段を含むものであって、以下の構成を含むEEPROMメモリセルを消去するためのシステム。

1またはそれ以上のメモリセルであって、それら各々独立に電荷によってプログラムされるものであり、その電荷は実質的に前記1または2以上のスレッシュホールドレベルと等しいか、または比例するものである1または2以上のリファレンスセルを含むEEPROMメモリセルを消去するためのシステム。

40. 請求項38記載のシステムで、前記メモリセルはグループ中のセルが一緒に消去されるようにグループ分けされており、前記ペリファイ手段は読み取り回路を含むEEPROMメモリセルを消去するためのシステムであって、

前記グループのメモリセルの一部として設けられている1または2以上のEEPROMのグループのリファレンスセルと、

前記個々にアドレス可能なセルを2つの導通状態のうちの少なくとも1つにプログラムするために前記チップの外側からの信号に応答する手段と、

指定されたグループ中の他のアドレス可能であるセル、およびリファレンスセルを同時に消去するためにチップの外側からの信号を応答する手段と、

1または2以上のマスタEEPROMリファレンスセルと、

少なくとも前述した2つの導通状態の間のブレイクポイントに対応するところの異なったスレッシュホールドレベルが前記1または2以上のマスタリファレンスセルを消去およびプログラムするために前記チップの外側からの信号に応答するための手段と、

前記マスタリファレンスセルのレベルにグループのリファレンスセルをプログラムするためにプログラムされている1つのグループの個々にアドレス可能なセルに応答する手段と、

前記与えられたグループのリファレンスセルと比較することによって、アドレスされた個々的なアドレス

可能なセルを読み出すための手段と、

から成るEEPROMメモリセルを消去するためのシステム。

41. 請求項40記載のシステムにおいて前記読み取り手段は前記グループのリファレンスセルに対応するマスタリファレンスセルを調整するための手段と、前記のように調整されたマスタリファレンスセルと、アドレスされたセルとを比較する手段とからなるEEPROMメモリセルを消去するためのシステム。

42. 請求項38記載のEEPROMセルを消去するためのシステムであって、前記セルは1ビットの状態であり、消去するための手段はアドレスされたセルが消去がペリファイされるまでアドレスされたセルに並列に消去電圧を印加するものであるEEPROMメモリセルを消去するためのシステム。

43. 請求項38記載のEEPROMセルをプログラムするためのシステムであって、チップ上に個別に既にアドレスされペリファイされた消去を禁止するとともに他のアドレスされてペリファイされたものの消去を可能にする手段を持つEEPROMメモリセルを消去するためのシステム。

44. 請求項43記載のシステムにおいて、前記メモリセルは2以上の状態を持つEEPROMメモリセルを消去するためのシステム。

45. 請求項43記載のシステムにおいて、前記メモリセルに1ビットの状態を持つEEPROMメモリセルを消去するためのシステム。

46. 請求項36記載のEEPROMを消去するためのシステムにおいて、前記セルを消去された状況から、消去の状況に近いメモリ状態にプログラムするための手段を持ち、

これによって、消去された各々のセルのスレッシュホールドレベルの均一性を確保し、そして各々のセルが同じような量のプログラム／消去のストレスに曝されるようにするEEPROMメモリセルを消去するためのシステム。

47. アドレス可能な半導体で電気的に消去および書き込み可能なメモリセルが集積回路チップ上に形成されているアレイを含むEEPROMシステムにおいて、複数個のアドレスされたメモリをプログラムする点に改良点を持つEEPROMのシステムであって、

メモリセルの操作をコントロールするためのコントローラと、

前記コントローラから直列的に転送されたチャփクのデータをチップ上に仮に蓄積するための手段と、

前記蓄積されたデータのチャփクをアドレスされた複数のセルに並列にプログラムするための手段と、

チップ上で、アドレスされた複数のセルの各々のプログラムされた蓄積されたデータのチャփクでペリファイするための手段と、

他のアドレスされたデータがペリファイされるまで、1または2以上のアドレスされたセルを並列にさらにプログラムを可能にする手段と、

前記チップからコントローラにアドレスされた他の

のセルがペリファイされたことを示すために信号を出力するための手段とを含むEEPROMシステム。

48. 請求項47記載のシステムにおいて、前記セルはバイナリの状態であって、さらにプログラムを可能にするための手段は他のアドレスされたセルに並列に他のアドレスされたセルがペリファイされるまで、供給するEEPROMシステム。

49. 請求項47記載のシステムにおいて、前記メモリセルは2以上の状態を持っており、これによって各メモリセルに1ビット以上を記憶できるEEPROMシステム。

50. 請求項47記載のEEPROMシステムであって、さらに既にペリファイされた任意のアドレスのプログラムを個々に禁止するためのチップ上の手段を持ち、一方、未だにペリファイされていない他のアドレスについてプログラムを可能にするEEPROMシステム。

51. アドレス可能な半導体を電気的に消去およびプログラムすることができるメモリセルで集積回路チップ上に形成されているアレイを含むEEPROMシステムであって、複数のアドレスされたメモリを消去することを特徴とするEEPROMシステムであって、

前記メモリシステムの操作を制御するためのコントローラと、

アドレスされた複数のセルを並列に消去するための手段と、

前記各々のアドレスされた複数のセルをペリファイ

するためのチップ上のベリファイ手段と、

1または2以上のアドレスされたセルを前記アドレスされた複数のセルがすべて消去されたことがベリファイされるまでさらに並列の消去を可能にする手段を備えるEEPROMシステム。

52. 集積された回路上のEEPROMの消去されたセルをプログラムするための改良された方法であって、

アドレスされた複数のメモリをプログラムするためにはデータをチップ上に一時的に書積するステップと、

アドレスされたメモリセルの複数の内容を並列に読み出すステップと、対応する書積されたデータのチャinkと読み出された内容を並列に比較することによってチップ上のベリファイを行うステップと、アドレスされたセルであって、ベリファイされないものにプログラム電圧のパルスを並列に選択的に印加するステップと、複数のアドレスされたセルの織てがベリファイされるまで、ベリファイと選択的プログラムステップを繰り返すステップと、

を含む方法。

53. 集積回路チップ上のEEPROMアレイの中で消去されたメモリセルをプログラミングするための改良された方法であって、

複数のアドレスされたメモリセルをプログラムするためにデータのチャinkをチップ上に一時的に記憶するステップと、織てのアドレスされたセルにプログラム電圧のパルスを並列に印加するステップと、

複数のアドレスされたメモリの内容を並列的に読むステップと、複数のアドレスされたメモリの内容を並列的に読むステップと、複数のアドレスされたメモリの内容を読むステップと、読み出された内容を対応する書積されたチャinkデータと並列に比較することによって、チップ上でベリファイするステップと、

アドレスされたデータでベリファイされていないものにだけ、プログラムされた電圧のパルスを並列に印加するステップと織てのアドレスされた複数のセルが複数のアドレスされた織てのセルがベリファイされるまで、ベリファイと選択プログラムを繰り返すステップと、

を含む方法。

54. アドレス可能な半導体で電気的に消去とプログラムが可能なメモリセルが集積回路チップ上に設けられているアレイを含むEEPROMシステムで、消去されたメモリセルのプログラムのための改良された方法であって、

複数のアドレスされたメモリをプログラムするためにコントローラからチップにデータチャinkを並列的に電送するステップと、

前記データのチャinkをチップ上に記憶するステップと、織てのアドレスされたセルにプログラム電圧のパルスを並列に印加するステップと、

アドレスされた複数のメモリセルの内容を並列に読み出すステップと、

対応して記憶されているチャinkのデータと読み出

された内容を並列に比較することによってチップ上でベリファイするステップと、

アドレスされたセルでベリファイされていないものにのみプログラム電圧のパルスを並列的に選択的に供給するステップと、

複数のアドレスされたセルの織てがベリファイされるまでベリファイと選択プログラミングステップを繰り返すステップと、織ての複数のアドレスされたセルがベリファイされたことを示す信号をチップから出力するステップと、

からなる方法。

55. 請求項27記載のシステムであって、コントロールゲートに供給される電圧は可変であって、他の電圧と独立したものであるEEPROMシステム。

56. 請求項55記載のシステムにおいて、プログラムデータのベリファイケイションの期間に前記コントロールゲートに供給される電圧は、通常の読み出しに供給されるものよりも十分に大きいので、プログラムされたセルはプログラムされた状態とわずかな幅しかもたない状態ではないEEPROMシステム。

57. 請求項36記載のシステムにおいて、前記コントロールゲートに供給される電圧は可変であり、他の電圧と独立であるEEPROMメモリセルを消去するためのシステム。

58. 請求項57記載のシステムにおいて、前記コントロールゲートに消去されたセルのベリファイケイションの期間に供給される電圧は、通常の読み出しのときに

供給されるものよりも十分に小さいものであって、消去されたセルは消去された状態において消去された状態とわずかな幅しかもたない状態ではないEEPROMメモリセルを消去するためのシステム。

59. 予め定められた複数の電流レベルに開通する電流をテストのために検知する検知回路であって、

1またはそれ以上の再生された電流を再現するための1対多の電流ミラーで、前記電流ミラーはテスト電流を運ぶための第1の脚と、複数の枝を持つ第2の脚を持ち、各々の脚はリファレンス電流レベルに開通づけられている電流ミラー手段と、

ここに再生された電流を再現するために前記再生された電流は実質的に第1の脚のテスト電流と同じものである各々の枝の第1の電流源と、

リファレンス電流を提供するために1つの予め定められた電流レベルを持っている各枝の第2の電流源と、

前記第1と、第2の電源間の接続点において、各々の枝で比較的に高いか、または比較的に低い電圧を、前記比較的に高いか、または低い電圧は、第1の電流源によって提供された影響される前記テスト電流に類似する再生された電流が前記第2の電流源によって影響されたりファレンス電圧よりも大きいか、または小さい振幅を持つかによる同時に検出するための手段と、からなる検知回路。

60. 請求項59記載の回路において、前記テスト電流は前記メモリの導通電流に供給され、前記導通電流はそのメモリ状態を示すものである検知回路。

特表平4-507320 (7)

61. 請求項 6 0 記載の回路において、前記メモリセルは EEPROMか、またはフラッシュ EEPROMである検知回路。

62. 請求項 5 9 記載の回路において、前記各枝に設けられている第2の電流源は、プログラム可能なリファレンス電流源である検知回路。

63. 請求項 6 2 記載の回路において、前記テスト電流はメモリセルの導通電流によって提供され、前記導通電流はそのメモリ状態を指示するものである検知回路。

64. 請求項 6 2 記載の回路において、前記メモリセルは EEPROMまたはフラッシュ EEPROMである検知回路。

65. 請求項 6 2 記載の回路において、

前記プログラム可能なリファレンス電流源はメモリセルの導電電流により供給され、前記導電電流は、メモリの状態によって規定される導電電流である検知回路。

66. 請求項 6 5 記載の回路において、

前記メモリセルは EEPROMまたはフラッシュ EEPROMである検知回路。

67. 請求項 6 2 記載の回路で、

前記プログラム可能なリファレンス電流源は基のプログラム可能なリファレンス電流源を回路により複写されたものであって、

第1、第2の1対1の電流ミラー手段で、各々が2つの脚に対してそれぞれ1つのブランチを持ち、前記第1と第2の1対1の電流源はこれらの2つの脚の

72. 請求項 6 7 記載の回路において、前記他の電流ミラー手段と、前記第1の1対1の電流ミラー手段は、同一の極性のトランジスタを含み、前記第2の1対1の電流ミラー手段は他の極性のトランジスタを含む検知回路。

73. 請求項 5 9 記載の回路において、前記第2の電流源は予め定められたリファレンス電流を各々の枝に提供するものであって、

ソースとドレインとゲートを持つ予め定められたサイズの1本のトランジスタと、

前記予め定められたサイズのトランジスタのソースとドレインを介して、予め定められたリファレンス電流の1つを作り出すために予め定められたリファレンス電圧をゲートに印加する手段と、

前記予め定められたリファレンス電流は枝に亘って一定であり、前記予め定められたサイズの差は前記枝間ににおいて、予め定められた複数のリファレンス電流を作り出すようになっている検知回路。

74. 請求項 7 3 記載の回路において、

前記テスト電流はそのメモリの状態により規定される導電電流により供給されるものである検知回路。

75. 請求項 7 3 記載の回路において、

前記メモリセルは EEPROMまたはフラッシュ EEPROMである検知回路。

76. 請求項 7 3 記載の回路において、

前記プログラム可能なリファレンス電流源はそのメモリの状態によって規定される導電電流により供給さ

1つに相互に接続されており、前記第2の電流源は前記第2の1対1の電流ミラー手段の他の脚に接続されることによって提供されるものである第1、第2の1対1の電流ミラー手段と、

リファレンス電流を提供するための前記当初のプログラム可能なリファレンス電流源は前記第1の1対1の電流ミラーの他の脚に接続されており、これによって、実質的に同じリファレンス電流を相互接続された脚にミラーのように導き、その代わりにミラーのように導くと同様に他の脚に第2の1対1の電流源の脚に同様にミラー化し、これによって、前記第2の電流源は実質的に当初のプログラム可能なリファレンス電流源ソースと実質的に同じ電流源となるリファレンス電流源である検知回路。

68. 請求項 6 7 記載の回路において、

前記テスト電流はそのメモリの状態により規定される導電電流により供給されるものである検知回路。

69. 請求項 6 8 記載の回路において、

前記メモリセルは EEPROMまたはフラッシュ EEPROMである検知回路。

70. 請求項 6 7 記載の回路において、

前記プログラム可能なリファレンス電流源はそのメモリの状態によって規定される導電電流により供給されるものである検知回路。

71. 請求項 7 0 記載の回路において、

前記メモリセルは EEPROMまたはフラッシュ EEPROMである検知回路。

れるものである検知回路。

77. 請求項 7 6 記載の回路において、

前記メモリセルは EEPROMまたはフラッシュ EEPROMである検知回路。

78. 複数の予め定められたリファレンス電流レベルに開速して、テスト電流を検出するための回路であり、前記複数のリファレンス電流レベルは倍率によって低いリファレンス電流から段階的に得られるものにおいて、

1つのテスト電流を1またはそれ以上の再生された電流に複製するための1対他の電流ミラー手段であり、前記電流ミラーは前記テスト電流を保持する第1の脚を持ち、第1の脚と複数の枝を持つ第2の脚を持っており、各枝はリファレンス電流レベルと倍率に開速付けられている1対他の電流ミラー手段と、

再現された電流を再生するための各枝の第1の電流源であって、前記再生された電流は前記第1の脚のテスト電流から倍率によってもたらされるものであること、

最も高いリファレンス電圧を前記複数のリファレンス電流のレベルから提供するための各枝の第2の電流源と、

前記第1と第2の電流源の接続点において比較的に高いか、または低い電圧を各枝において、同時に検出するための手段であって、前記比較的に高いかまたは低い電圧は前記第1の電流源によって提供されたテスト電流から期せずして再生された電流が前記第2の電流源によって提供される最大のリファレンス電流に対

特表平4-507320 (8)

して大きいか、小さいかによって決まる
テスト電流を検知する検知回路。
79. 請求項7 8 記載の回路において、
前記テスト電流はそのメモリの状態により規定され
る導電電流により供給されるものである検知回路。
80. 請求項7 9 記載の回路において、
前記メモリセルはEEPROMまたはフラッシュEEPROMである検知回路。
81. 請求項7 8 記載の回路において、
前記プログラム可能なリファレンス電流源はそのメ
モリの状態によって規定される導電電流により供給さ
れるものである検知回路。
82. 請求項8 1 記載の回路において、
前記メモリセルはEEPROMまたはフラッシュEEPROMである検知回路。
83. 複数の予め定められたリファレンス電流に関連し
てテスト電流を検出するための回路であり、各々の複
数のリファレンス電流のレベルは、それに与えられた
リファレンス電流レベルから倍率によってスケルされ
たものであるテスト電流を検出するための回路であつ
て、
与えられたリファレンス電流を1または2以上の再
生電流に再現するための1対他数の電流ミラーであり、
前記電流ミラーは前記与えられたリファレンス電流を
選ぶ第1の脚と複数の脚を持つ第2の脚を持っており、
各脚はリファレンス電流レベルに倍率をかけたものに
関連させられている1対他数の電流ミラー手段と、

各々の枝において、そこに再生された電流を再生す
るための第1の電流源であり、再生された電流は与え
られたりファレンス電流レベル、前記第1の脚の中の
リファレンスレベルから関連する倍率係数によってス
ケーリングされたものである第1の電流源と、

前記テスト電流を供給するための各枝の第2の電流
源と、

前記第1と第2電流源の接続点において、比較的高
いかまたは低い電圧を各々の枝において、同時に検出
する手段であり、前記比較的高いかまたは、低い電圧
であるかは、前記第1の電流源によって供給される最
も低いリファレンス電流レベルからスケーリングされ
て再生された電流が、前記第2の電流源によって供給
されたテスト電流よりも大きいか、または小さいかに
関連して決まると同時に検出手段とからなるテスト電
流を検出するための回路。

84. 請求項8 3 記載の回路において、前記テスト電流
はそのメモリの状態により規定される導電電流により
供給されるものである検知回路。

85. 請求項8 4 記載の回路において、前記メモリセル
はEEPROMまたはフラッシュEEPROMである
検知回路。

86. 請求項8 3 記載の回路において、前記プログラム
可能なリファレンス電流源はそのメモリの状態によ
つて規定される導電電流により供給されるものである
検知回路。

87. 請求項8 6 記載の回路において、前記メモリセル

はEEPROMまたはフラッシュEEPROMである
検知回路。

明細書

多状態EEPROMの読み書き回路および技術

【発明の背景】

この出願は1989年8月13日に出願された米国
出願番号第337,579号の継続出願である。

この発明は一般的には半導体の電気的に消去および
プログラムできるリードオンリメモリ(EEPROM)
に関連し、さらに詳しく述べれば、それらの状態を読み
出し、またはプログラムするための回路技術に関する
もの。

EEPROMと電気的にプログラムできる読み出し
メモリ(EEPROM)は典型的には不揮発性記憶デ
ータの貯蔵、またはプログラムのためのデジタル回路
に使用されている。それらは消去されるものであり、
それらのメモリセルの中に書き込みまたは“プログラ
ム”できるものである。

電界効果トランジスタの形において、1つのEEP
ROMは、フローティング(接続されていない)導伝ゲ
ートをソースとドレイン間の半導体基板の中のチャン
ネル領域の上に、絶縁された形利用している。

前記トランジスタのスレッシュホールド電圧特性はフ

ローティングゲート上に止められている電荷の量にしたがって制御される。すなわち、トランジスタが「オン・オフ」してそのソースとドレイン領域間に導通を許容する前に前記コントロールゲートに与えられなければならない最小の電圧（スレッシュホールド）は、ローティングゲート上の電荷のレベルによって制御される。

前記ローティングゲートはある範囲の電荷を保持することができ、それによって1つのEEPROMメモリセルは任意のスレッシュホールドウインド内においてプログラムされる。

その装置のスレッシュホールドウインドの大きさは、その装置の最小および最大スレッシュホールドレベルによって決められる。

スレッシュホールドウインドの大きさは装置の特性、動作条件と履歴に依存させられる。ウインド内の各々の明確なスレッシュホールドレベルは、原則的には、そのセルの有限な記憶状態を規定するために用いられている。

EEPROMメモリにとって、メモリセルとして働くトランジスタは、チャンネル領域の基板から電子を奪いゲートの誘電体を介してローティングゲートに加速することによって、2つの状態のうちの1つにプログラムされる。このメモリ状態は紫外線の照射によっ

てローティングゲート上の電荷を除去することによって消去される。

電気的に消去可能で、かつ、プログラムできるリードオンリーメモリ（EEPROM）は同様な構造をもっているが、適当な電圧をローティング上に印加することによって、電荷を除去する機構を付加的に備えるものである。そのようなEEPROMセルは、その全体のセルのアレイ、またはアレイの中のかなりの領域のセルが同時に消去され、すなわち、「フラッシュ」によってEEPROMと呼ばれる。一度消去されるとセルは再度プログラムすることができる。

EEPROMやEEPROMセルの二次元のアレイの中の特定の1つのセルがアドレスされるべきセルが含まれているコラムラインのソースとドレインにソースードレイン電圧の印加およびアドレスされるべきセルを含むロー中のコントロールゲートに接続されているワードラインにコントロールゲート電圧を印加することによって読み出しのためにアドレスされる。

アドレスされたメモリセルトランジスタの状態は、動作電圧をそのソースとドレインとそのコントロールゲートに印加し、それからソースとドレイン間を流れる電流のレベルが検出することにより読み出される。前記電流のレベルは、前記トランジスタのスレッシュホールドレベルに対応するものであり、そのフローテ

ィングゲート上の電荷の量によって決定される。

通常のEEPROMの2状態においては、1つのブレイクポイントスレッシュホールドレベルはスレッシュホールドウインドを2つの領域に分けるために確立されたものである。前記ソース／ドレイン電流はそのセルがプログラムされたときに用いられたスレッシュホールドレベルのブレイクポイントと比較される。もし、読み出された電流がスレッシュホールドよりも大きい場合には、前記セルは1つの「0」の状態にあると決定され、一方、前記電流が前記スレッシュホールドより少ないとときは前記セルは他の状態にあると決定される。かくして、このような2状態セルは1ビットのデジタル情報を蓄積する。外部でプログラムされるであろう電流源はメモリシステムの一部としてブレイクポイントスレッシュホールド電流を発生するためにしばしば用いられる。

かくして、多一状態EEPROMメモリセルのためには各セルは2、またはそれ以上のデータビットを蓄積する。任意のEEPROMアレイが蓄積できる情報は、各セルが蓄積できる状態の数倍によって増大させられる。

したがって、本発明の主たる目的はセルが1ビット以上のデータを蓄積することができるEEPROMメモリシステムを提供することである。

本発明のさらに他の目的はEEPROM、またはEEPROMの集積メモリチップの一部としての改良された読み出し回路を提供することである。

本発明のさらに他の目的はより簡単であって、製造が容易であり、精度と信頼性が、延長された使用期間において保たれる読み出し回路を提供することである。

本発明のさらに他の目的はEEPROMまたはEEPROMの集積回路チップ上の部分として改良されたプログラム回路を提供することである。

本発明の目的の1つは簡単であり、製造が容易であり、精度と信頼性が延長された使用期間において、保たれるプログラム回路を提供することである。

本発明の他の目的は自動的に温度、電圧、工程における変動、および電荷の保有による影響を自動的に補償することができるメモリ読み出し、およびプログラム技術を提供することである。

本発明のさらに他の1つの目的は、コンピュータシステムで用いられる磁気ディスク記憶装置を置き換えることができるフラッシュEEPROM半導体チップを提供することである。

さらに本発明の目的は、メモリが耐久することができるプログラム読み出しサイクルの数によって測定される寿命の増加を図ることができるフラッシュEEP

rom構造を提供することである。

【発明の要約】

これらおよびその他の目的は、多段のスレッシュホールドレベルを持ち、正確な読み書き出しと、2以上の異なる状況を各メモリセルの中に長い使用期間において保つことができ、各セルの中に1ビット以上の記憶ができる改良されたEEPROMアレイにおける読み書き回路と技術によって達成されるであろう。

本発明の1つの特徴によれば、多段のスレッシュホールドブレイクポイントレベルがマスターリファレンスセル（またはマスターリファレンスセル）として使用される一連のメモリセルによって提供される。

前記マスターリファレンスセルは、独立に、かつ、外部から書き込み可能であり、それはメモリ製造者、または使用者のいずれかにおいても可能である。この特徴は最大の自由度を与えるものであって、いつでも装置のスレッシュホールドウインド内において、個々にブレイクポイントスレッシュホールドの設定を許容するのである。また実際にメモリセルと同じ構造であるので、リファレンスセル（またはリファレンスセル）は製造工程において、動作条件と装置のエイジングのために同じような変形を精密に追跡することが可能である。

各々のブレイクポイントスレッシュホールドレベルの

プログラム可能性が独立であることがスレッシュホールドウインドの分離の微細な調整を最適化することがあり、これは多状態の装置においては自由なことである。さらにそれは2状態、または多状態のメモリを同じ装置から後に製造することを許容するのであり、それはそのときのユーザーの要求とか、その時点における装置の特性に従属して決められるものである。

本発明のさらに他の特徴によれば、各セクタ（セクタとはフラッシュEEPROMにおいて一時に消去できるメモリセルのグループを言う）の中の一連のメモリセルはローカルリファレンスセルとしてとけておくことができる。

リファレンスセルの各セットはフラッシュセルと同じセクタの中で非常に密接に関連して両者が同じ回数だけプログラムまたは、消去サイクルを成す過程において追跡される。かくしてメモリセクタの中のメモリセルが非常に多回の消去またはプログラムサイクルの後に現れるエイジングが同じローカルリファレンスセルに反映される。

フラッシュセルのセクタが消去されて再プログラムされる度ごとに一連の個々のブレイクポイントスレッシュホールドレベルは、関連するローカルリファレンスセルに関連して再プログラムされる。ローカルリファレンスセルから読み出されたスレッシュホールドレベ

ルは自動的に同じセクタのセルのメモリの条件を自動的に調整する。スレッシュホールドウインドの分離はかくして最適に維持される。この技術は単に1つリファレンスセルを持つメモリのためにも有益であり、それは2つの状態（1ビット）のメモリを読み出すのに用いられる。

本発明の他の特徴によれば、各サイクルでローカルリファレンスセルに替え換えられるスレッシュホールドレベルはメモリセルのサイクルの中に用いられないで、外部からプログラム（または再プログラム）された電荷を保持しているセルによって一連のマスタセルによって得られる。全体のメモリ構成回路のために単に1組のマスタメモリセルが必要である。

1つの実施例において、読みの動作は直接的にマスタセルレベルから予めコピーされたローカルリファレンスセルのスレッシュホールドレベルを直接的に用いる。

他の実施例においては、読み取りがマスタリファレンスセルに関連してなされる場合であっても、読み取り動作はローカルリファレンスセルのスレッシュホールドレベルを間接的に用いる。

それは最初にマスタリファレンスセルに対して、ローカルリファレンスセルを読むことによってなされる。読み出された差はマスタリファレンスセルに対するメ

モリセルの引き続く通常の読み出しをオフセットするために用いられ、これによって、バイアスされた読み出しがローカルリファレンスセルに対して有効に行われる。

本発明のさらに他の特徴によれば、メモリセルの読み出し動作はメモリ状態がどこにあるかをそこを流れる電流とリファレンス多段のスレッシュホールドブレイクポイントレベルとのリファレンス電流を比較することによって決定される。

1つの実施例においては、セルを流れる電流は1つずつ前記リファレンスセルのレベルと前記リファレンスセルのレベルとスレッシュホールド電流を比較することによって比較される。

さらに他の実施例によれば、セルを流れる電流は一連のリファレンスセルの電流と同時に比較されて読まれる。特殊な電流ミラー形式が読み出されるべき電流をその信号を損なうことなく、多段の枝に各スレッシュホールド電流を比較するために分けられる。

本発明の他の特徴によれば、プログラムとペリファイ操作はチャネル（すなわちセペラル バイト）のアドレスされたセルに一度になされる。さらにペリファイ操作はEEPROMチップの回路によって実行される。これは各々のプログラミングステップにおいて、ペリファイのために直列にチップからデータを取り出

す連れを避けることができる。

本発明の他の特徴によれば、プログラムされた状態は、“消去された”状態からプログラムとペリファイ（検証）のステップを繰り返すことによって得られ、1つの回路はプログラムされた状態を各々のプログラムされたステップの後で意図された状態を以て検証され、そして選択的に正しくプログラムされた後、検証されたチャックの中の任意のセルのそれ以上のプログラミングを選択的に禁止する。

これは多段の構成において、データのチャックの効果的な並列プログラミングを可能にする。

本発明のさらに他の特徴によれば、EEPROMセルのチャックは並列的に消去されるようにアドレスされる。消去された状態は繰り返す消去と現存する状態を消去された状態への消去と検証の繰り返しステップによって得られる。1つの回路が“消去”された状態を持つ各々の消去ステップの後で、消去状態をペリファイし、選択的に正当に消去されたとペリファイされたチャックの中の任意のセルの再度の消去を選択的に禁止する。これにより、装置にとって過大なストレスを与える過剰消去を防止し、グループのセルへ効果的な並列消去を可能にしている。

本発明の他の特徴によれば、グループのセルが“消去された”状態に消去された後に、前記セルを“消去

された”状態に隣接する状態に再プログラミングされる。これによって各々の消去されたセルは、よりよく定義された状態からスタートすることが許容され、これによって各セルは同様のプログラム／消去のストレスを受けることができるようになる。

本発明のさらに他の特徴によれば、EEPROMセルのコントロールゲートに印加される電圧は広い範囲において可変であり、かつ、読み取り回路に供給される電圧に対して独立である。これにより、正確なプログラム／消去マージングが許容されると同時に、テストと診断のために同様に利用できる。

ここにおける主題はEEPROMの読み取り技術について記述される同時出願競争中の米国特許出204,175号、1988年6月8日に出願されたエリヤホウ・ハラリ博士によって開発されたものに引き続きさらに改良されたものであって、特にそれは第11図に示されている記述に関連するものである。出願番号出204,175号はここにおいて、明確にリファレンスされるべきであり、その開示は第11図乃至第13図および第15図に最も関連するものである。

他の目的および本発明の特徴および利点は、次の好適な実施例の記述により理解されるであろう。その記述は添付図面に関連してなされる。

〔図面の簡単な説明〕

第1図は、本発明による種々の特徴を実現するため用いられるEEPROMの集積回路構造を示す断面図である：

第2図は、第1図の線2-2に沿って切断して示した図である：

第3図は、第1図と第2図に示されている形のEEPROMの1つのセルの等価回路図である：

第4図は、EEPROMセルのアドレス可能なアレイを示している：

第5図は、本発明による種々の特徴が組み込まれるEEPROMのブロックダイヤグラムである：

第6図は、1ビットのデータを蓄積することができるEEPROMセルのスレッシュホールドウインドの区分けを図解した図である：

第7A図は、2ビットのデータを蓄積できるEEPROMセルのスレッシュホールドウインドの分離を図解したものである：

第7B図は、第7A図のEEPROMセルのスレッシュホールドウインドにおけるソースドレイン電流の分離を図示したものである：

第8A図と第8B図は典型的なEEPROMを使用した後の特性の変化を図示した曲線群である：

第9A図は、本発明によるマスタリファレンスセルとアドレスメモリセルのための読み、およびプログラ

ム回路を示す図である：

第9B図は、本発明によるリファレンスセルを持つ多状態読み出し回路を示している：

第9C図(I)乃至第9C図(II)は、第9B図の回路のための多状態読みのためのタイミングを示している：

第9D図は、多状態読み取り回路の実施例を示すものであって、1つのアドレスセルのメモリ状態は一連のリファレンス電流レベルに関連して同時に検出される：

第9E図は、第9D図に示されているIREF回路の実施例をEEPROMセルがリファレンス（リファレンス）電流によってプログラムされる場合について図示してある：

第9F図は、第9D図の実施例の好適な実施例を示すものであって、そこにおいて各々のIREF回路はEEPROMセルの中でプログラムされたりファレンス電流を再生する電流源によって供給される：

第9G図は、第9D図に示されているIREF回路の他の実施例を示すものであって、そこにおいてリファレンス電流は予め決められたサイズのトランジスタの導通によって各枝に供給されるものである：

第9H図は、多状態読み出し回路の他の具体例を示すものであって、そこにおいて1つのアドレスセルのメモリ状態は一連のリファレンス電流のレベルに関連

第14図は、セルの1つのチャンクを並列読みプログラムデータの経路を示している；

第15図は、本発明によるチップ上のプログラム/ペリファイアルゴリズムを示している；

第16図は、本発明による比較回路のための回路図を示している；

第17図は、本発明による禁止を持つプログラム回路のための回路図である；

テーブル1と2は本発明によるEEPROMのための典型的な動作電圧の例を示している；

【好適な実施例の説明】

本発明の種々の特徴が好適に実現できるメモリアレイに用いられる種々の特殊なEEPROM、EEPROM半導体集積回路構造が存在する。

“チャンネル分離”EEPROMセル

好ましいEEPROMの構造が一般的に集積回路の断面図である第1図および第2図に示されている。

この好ましい構造を簡単に説明すると、2つのメモリセル11と13が軽くP層にドープされた基板15上に形成されている。濃くnドープされた埋め込み領域16はセル11と13の間にあり、セル11のドレインでセル13のソースとして働く。同様にして他のnドープ埋め込み領域19はセル11のソースであり、隣接するセルのドレインであって、そして同様に他の

nドープ領域21においても同様である。

メモリセル11と13の各々は、それぞれ導伝性のフローティングゲート23と25を含んでおり、それらは一般的にはポリシリコン材料により作られている。これらのフローティングゲートの各々は誘電体材料により囲まれてあり、それらを他の導伝性の要素から絶縁されるようになっている。コントロールゲート27は、セル11とセル13の両方の上にフローティングゲートと、基板それ自体から絶縁されるように伸びている。第2図に示されているように、導伝性の帯29と31はさらにお互いに、およびその構造のその他の導伝性の要素から絶縁されるよう付加的に設けられており、消去ゲートとして機能させられている。一対のそのような消去ゲートは各メモリセルのフローティングゲートを囲み、そしてそれらは消去用の誘電体層により分離されている。セルは厚いフィールド酸化領域、例えば領域33、35、37として第1図の断面図、および領域39、41として第2図に示されているように分離されている。

メモリセルは、基板15からフローティングゲートに、例えばメモリセル13のフローティングゲート25へ電子を移動させることによってプログラムされている。フローティングゲート25上の電荷は濃くPドープされた領域23から誘電体領域を横切って、フロ

ーティングゲートへ電子を移動させることによって増加させられる。電荷はフローティングゲートから、それと消去ゲート29と31間の誘電体を介して、フローティングゲートから除去される。

この好ましいEEPROMの構造とその製造プロセスは同時出願連続中の特許出願番号10323、779号、ジャック・エイチ、ユアンとエリヤホウ・ハラリの出願であって、1989年3月15日に出願されたものの中に示されている。

第1図と第2図に示されたEEPROM構造は、“分離チャンネル”型である。

各々のセルは2つのトランジスタT1とT2が第3図に示すように直列に接続されている独立したトランジスタとして見ることができる。T1トランジスタ11aは第1図のセル11のチャンネルのL1の長さに沿って形成されている。それは可変スレッシュホールド電圧V_{th1}を持っている。T1トランジスタ11aに直列にT2トランジスタ11bがあり、それはチャンネルL2の部分に形成されている。これは固定的な約1Vのスレッシュホールド電圧V_{th2}を持っている。第3図の等価回路の要素は第1図、第2図の対応するリファレンス番号にプライム('')を付加して用いてある。

第3図の等価回路から最も良く理解されるようにE

EepromセルのEEPROMセルのトランジスタT1のフローティングゲート23'上の電荷のレベルは、T1トランジスタの11aのスレッシュホールド電圧V_{th}にそれがコントロールゲート27'で動作させられているときに影響する。

かくして、1つのセルの中にいくつかのメモリ状態がフローティングゲート上の電荷の適当な量により、セルの中に良く規定されたスレッシュホールド電圧のプログラムされたものに対応して規定される。プログラミングはある一定の時間以上、セルのコントロールゲート27'、同様にドレイン17'、ソース19'に供給することによって実行される。

アドレス可能なフラッシュEEPROMアレイ

本発明の種々の特徴は集積回路チップ中のフラッシュEEPROMのアレイに典型的に応用される。

第4図は個々にアドレス可能なEEPROMセル60のアレイを略図的に示したものである。

各セルは第3図に示されたものと等価であって、1つのコントロールゲートとソースとドレインと消去ゲートを持っている。個々のメモリセルはローおよびコラムに組織されている。各々のセルは選択的にそのローとコラムを同時に付勢されることによってアドレスされる。

コラム62は、例えば第1のメモリセル63と、隣接

する第2のメモリセル65、以下同様を含んでいる。第2のコラム72は、メモリセル73、75と以下同様を含んでいる。

セル63と73はロー76に位置しており、セル65と71は他のもう1つの隣接するローに含まれており以下同様である。

各々のローに沿ってワード線がそのローの隣のセルのコントロールゲートに接続されている。

例えばロー76はワード線76を持っており、次のローはワード線79を持っている。ローレコーダ81は入力線83上のコントロールゲート電圧V_{ce}をローのための選ばれたワード線に沿う隣のコントロールゲートに接続する。

各々のコラムに沿って隣のセルはソースライン、例えば91によって、それらのソースが接合され、隣のドレインはドレイン線、例えば93によって接続されている。ローに沿うセルはそれらのソースとドレインによって直列に接続されているから、1つのセルのドレインは隣接する隣のソースでもある。かくして、隣コラム62のドレイン線であると同時に、コラム72のソースとなる。コラムデコーダ101は入力線130上のソース電圧V_sを隣のソースに接続し、入力線105のドレイン電圧V_dを選ばれたコラムに沿う隣のドレインに接続する。

各々のセルはそれが存在するローとコラムによってアドレスされる。例えば、もしセル51がプログラム、または読み出しのためにアクセスされると、適当なプログラム、または読み出し電圧が、そのセルのコントロールゲート、ソースおよびドレインに供給されなければならない。

内部アドレスバス111上の一つのアドレスがセル76のコントロールゲートに接続されているワード線79にV_{ce}を接続するために、ローレコーダ81をコードするために用いられる。同じアドレスがV_sをソース線93に、V_dをドレイン線95に接続するため、すなわち各々はセル75のソースとドレインに接続されているものであり、そのためにコラムデコーダ101を解説するために用いられる。

後に詳述されるように、本発明の1つの特徴は、いくつかのメモリセルを並列にプログラム、および読み出しを可能ならしめる構造にある。複数のコラムを同時に選別するためには、コラムデコーダはその代わりにソースマルチブレクサ107とドレインマルチブレクサ109のスイッティングを制御する。このようにして選択された複数のコラムは、それらのソース線とドレイン線をV_sとV_dにそれぞれ接続されることになる。

各々のセルの消去ゲートへのアクセスはコントロー

ルゲートのそれとほぼ同じである。1つの実施形態においては、例えば、113、115、117はロー中の各セルの消去ゲートに接続される。消去デコーダ119は内部アドレスバス111上のアドレスをデコードし、入力線121上の消去電圧を選択的に消去線に接続する。これにより、隣のセルのローは独立してアドレスが許容され、例えば、ロー76はその消去ゲートに消去線13を介して適当な電圧が印加されることにより、同時に(フラッシュ)消去される。この場合において、フラッシュセルはメモリセルの1つのローから成立している。しかしながら、他のフラッシュセルの実施形態が可能であって、多くの応用においては、一時にセルの多くのローの消去がなされるものである。

フラッシュEEPROMシステム

第4図に示したアドレス可能なEEPROMアレイ60は第5図に図解されている本発明の大形の多状態フラッシュEEPROMシステムの部分を形成している。この大形なシステムにおいて、EEPROMが集積されているチップ130はインターフェイス150を介してコントローラ140によって制御される。コントローラ140、それ自身は、中央マイクロプロセッサ装置160と通信をしている。

EEPROMチップ130は、アドレス可能なEE

EEPROMアレイ60、直列プロトコールロジック170、ローカルパワーコントロール回路180と種々のプログラムと読み出し回路190、200、210、220、230および240を含んでいる。

コントローラ140は、適当な電圧とコントロール信号およびタイミングを供給することによって、EEPROMチップ130の機能を制御する。テーブル1、2はEEPROMセルの種々の動作モードのための電圧条件の典型的な例を示している。アドレス可能なEEPROMアレイ160はコントローラ140により、直接的に、または第5図に示されているように、さらにローカルパワー制御180によってチップ上のより調整されたものによって電力が供給されている。コントローラ140とチップ130間のコントロールとデータのリンクはシリアルインライン251とシリアルアウトラインイ253を介して行われる。クロックタイミングは線255を介してコントローラから供給される。

EEPROMチップ130の典型的な動作において、コントローラ140はチップ130にインライン251を介して直列の信号の流れを供給するであろう。前記信号は制御とデータとアドレスとタイミング情報を含んでおり、シリアルプロトコールロジック170によってソートされるであろう。適当なタイムシーケン

スにロジック170は種々の制御信号257をチップ上の種々の回路を制御するために出力する。それは内部アドレスバス111を介して、アドレスされるべきセルをコントローラからの電圧に接続するためにアドレスを送る。

こうしているときに、もし、操作がプログラミングであれば、データはアドレスされたセルをプログラムするために、シリアルデータ線259を介して一連の読み／プログラムラッチとシフトレジスタ190に送られ、用いられる。

リファレンスセルを用いた読みのための回路技術

EEPROMの動作において、セルのメモリ状態を正確に、かつ信頼性高く決定することは極めて重要である。

その理由は、極ての基礎的な機能、例えば読み、消去ペリファイおよびプログラムペリファイはそのことに依存するからである。

EEPROMチップ130のための改良された新規の読み回路220と本発明による技術が多状態EEPROMを可能にしている。

第3図に開示して議論したように、フローティングゲート231上のプログラムされた電荷は、そのセルのプログラムされたスレッシュホールド電圧 V_{th} を決定する。一般的にいって、 V_{th} はフローティングゲー

ト231上の負電荷の量にしたがって増加、または減少させる。

前記電荷は正の電荷（デブリーションモード）まで減少させることさえも可能であり、ここにおいて V_{th} は V_{th} 以下に減少し、またはより負になる。

V_{th} の最大、または最小の値は、その装置材料の誘電体の強さによって支配されている。 V_{th} の広がりはメモリ状態が形成されるであろうスレッシュホールド電圧ウインドを規定する。

同時出願雑続中の米国特許出願No.204,175号はスレッシュホールド電圧 V_{th} の最大のウインド内に規定されるメモリ状態を持つEEPROMを開示している。全スレッシュホールド電圧ウインドはスレッシュホールド電圧の負の領域を含むものであり、さらに加えて通常の正の領域を含む。増大されたウインドはEEPROMのセルの中に多状態を形成する。

第6図と第7図は、それぞれスレッシュホールドウインドが2状態のメモリおよび4状態のメモリである場合をそれぞれ図示している。もちろん、前記ウインドを3状態メモリに分割すること、またはデジタルメモリというよりは、アナログの連続モードにすることさえも可能である。

まず、最初に第6図をリファレンスすると、実線343はプログラム時間の閾値としての V_{th} を示してい

る。

スレッシュホールド電圧ウインドは V_{th} の最大と最小によって決められるものであり、その最大と最小は消去状態レベル345と完全にプログラムされたレベル347の各々によって規定される。2状態のメモリはウインドを346と348の2つに分離スレッシュホールドレベル349を用いることによって分割して設けられる。かくしてセルはメモリ状態0（または状態1）。もしこのセルが V_{th} において領域346（または領域348）の各々にある場合においてである。

典型的な消去／プログラムサイクルはセルのスレッシュホールド電圧をその消去状態レベル345に減少させる消去から開始される。

引合続く繰り返しプログラミングは、スレッシュホールド電圧 V_{th} を希望するレベルに増加させることによって行われる。そのセルがプログラムされようとする状態に対応する一定の時間だけアドレスされたセルに連続的にプログラム電圧を印加するよりは、むしろ各パルスの後で希望するスレッシュホールド電圧に達し、プログラムを終了したことを決定するための読み操作と一緒にプログラム電圧を繰り返しの短いパルスとして印加することが好ましい。

プログラム電圧とパルスの持続時間は前記パルスが V_{th} に先立って、種々の領域において行われるのである

が、各パルスは十分に小さいものであって、各領域を越えるものでないようとする。これが電圧を最小にし、電界に関連してセルに加えられるストレスを最小にし、そのことにより、その信頼性を向上させることになる。

第7A図は、4状態の場合が示されており、ここにおいてスレッシュホールド電圧ウィンドは4つの領域351, 353, 355, 357に、ブレイクポイントレベル352, 354, 356により、各々分けられている。このセルは状態“3”または“2”または“1”または“0”，もしそのV_Tが対応する領域351または353または355または357の間にある場合には、そう見なされる。

4状態のセルは2ビットデータを蓄積することができる。かくして4つの状態は(1, 1)、(1, 0)、(0, 1)および(0, 0)のそれぞれ対応する状態にコード化することができる。

一般的において、もし各EEPROMがKの状態を蓄積するときには、スレッシュホールドウィンドはKの領域に少なくともK-1のスレッシュホールドレベルにより分けられていなければならない。

かくして、ただ1つのブレイクポイントレベルが2状態メモリに必要であり、4状態のセルに対しては3つのブレイクポイントレベルが必要である。

原理的にはスレッシュホールド電圧ウィンドは、多

くの数に分割されるであろう。例えば、最大16Vのスレッシュホールドウィンドを持つEEPROMのためには、ほぼ1/2Vの間隔で32に分割することができるであろう。前述の問題として従来技術におけるEEPROM装置は、単に2つの状態、または各セルあたり1ビットを大した信頼性も寿命も持つことなく、記憶していた。より小さいスレッシュホールドウィンドを持つ操作から離れても、従来装置は、EEPROM装置が本来用いている2つの問題を解決できていなかった。2つの問題はフローティングゲート中の電荷の量の不確かさに関連し、その結果セルにプログラムされるスレッシュホールド電圧V_Tの不確かさをもたらすことである。

第1の問題は、装置が消去書き込みのサイクルに関連する耐久性に関連するストレスとの関連を無くすることである。

フラッシュEEPROMの耐久性は与えられたプログラム/消去サイクルに対する抵抗力を備えることである。

従来のフラッシュEEPROM装置の耐久性に関連する物理減少による制限は、装置の活性化された誘電体フィルム中の電子を補足することである。

プログラミングの際に電子は基板からフローティングゲートに誘電体のインターフェースを介して注入され

る。同様にして、消去の際に電子は誘電体のインターフェースを介してフローティングゲートから消去ゲートに引き出される。両方の場合において、電子のうちのいくらかのものは誘電体インターフェースにより補足される。補足された電子は引き続くプログラム/消去サイクルにおいて印加された電界に反対することによりプログラムされたV_Tを低いレベルにまたは消去されたV_Tを高いレベルにする。

これは、第8A図に示されているように、従来の装置においては、“0”と“1”との間の“ウィンド”的電圧をしだいに閉じていくことが理解できる。

1×10⁴のプログラム/消去サイクルをほぼ越えたところにおいて、ウィンドが狭くなることは、読み出し回路の誤動作を招く程度にひどいものになる。

もしこのようなことが繰り返されていれば、装置は次第に誘電体の損傷に起因する突然の損傷を体験することになる。

これは典型的には1×10⁴と1×10⁷回の間に発生し、それはその装置の不純物ブレイクダウンとして知られている。従来のEEPROM装置においては、窓が狭くなることは1×10⁴プログラム/消去サイクル程度に現実の対抗力を制限していた。多状態メモリにおいては、より正確なV_Tの設定が要求されることであるから、多状態メモリにおいてはこのことは

大変な問題となる。

第2の問題はフローティングゲートにおける電荷の維持に関連するものである。フローティングゲート上の電荷は、一定期間にわたる漏洩によってある程度減少する傾向にある。

このことはスレッシュホールド電圧V_Tを時間経過にしたがって、低くすることになる。第8図は、V_Tの減少を時間の関数として図示している。装置の寿命期間にわたって、V_Tは1V程度シフトする。多状態装置においては、これはメモリを1または2状態シフトさせることになる。

本発明はこれらの問題を解決し、多状態の実施形態においてさえも、種々の状態のプログラムと読み出しに信頼性を与える回路と技術を提供する。

あるセルのメモリ状態はそこにプログラムされているスレッシュホールド電圧V_Tを測定することによって決定できるであろう。それと代替的に出願種統中である米国特許出願番号No.204,175号に述べられているようにメモリ状態は、それぞれ異なった状態におけるソースードレイン電流I_{DS}の異なった導通を計測することによっても決めることができることであろう。

4状態の例として第7A図は、スレッシュホールド電圧ウィンドの分離を示してある。

これに対して第7B図は典型的な I_{ds} の値(実線群)を制御ゲート電圧 V_{ce} の関数として4つの状態に対応して示してある。5Vにおける V_{ce} で各々4つの導通状態に対応する I_{ds} の値は4つの対応する電流を検知増幅器によって並列に検出することによって区別することができる。各々の増幅器に対応して対応するリファレンス導通状態 I_{ds} レベル(第8図に破線で示す)が対応する。前述した破線スレッシュホールドレベル(第6図と第7A図)がスレッシュホールド電圧ウインドの中の異なった領域を区別するのに用いられる同様に、 I_{ds} レベルが同じことをするためにソースードレイン電流ウインドの対応する領域で同じことをするために用いられる。 I_{ds} を比較することによってメモリセルの導通状態が決定することができる。同時出願雑誌中の米国特許出願番号第204,175号はプログラミングと読み出しの両方に同じような検出増幅器と I_{ds} を用いることを提案している。

これはリファレンスレベル(第8-9図の中の破線の示すリファレンスレベル)と(第7B図の中の実線の示す)プログラミングの中に良い追従性を提供している。本発明による改良された方式によって、 I_{ds} は同じチップ上に存在する一連のEEPROMのセットのソースードレイン電流によって提供されるものであり、それらはこの目的のためにとっておかれる。

かくして、それらの I_{ds} を持ってマスタリファレンスセルとして同じチップ上の他の端の端のEEPROMの読み出しとプログラミングのためのリファレンス電圧として利用される。

EEPROMセルと同じ装置をリファレンスセルとして備かせることによって温度と電圧と製造過程におけるバラツキに対する優れた追従性が達成される。さらに加えて多状態実施形態において重要な電荷保存の問題も緩和される。

第9A図をリファレンスすると、そのようなマスタリファレンスセル400がそのプログラムおよび読み出しの経路に関連して示されている。

モジュール410を消去し、プログラムするリファレンスセルは、そのようなリファレンスセルの400の各々のプログラム、または再プログラムに役立つ。モジュール410は、プログラム経路413がマスタリファレンスセル400のブレインに接続されているプログラムおよび消去回路411を持っている。回路411は、プログラムデコーダ415と消去デコーダ417の各々によって内部バス線111からデコードされたアドレスによって起動される。したがって、プログラム電圧、または消去電圧は、各々のセル、例えばセル400に選択的に供給される。このようにして各々のリファレンスセルのリファレンスレベルは独立

的にセットされるか、または再プログラミングされる。典型的には各々のリファレンスセルのスレッシュホールドレベルは前記チップの製造された各々のパッケージに適当な最適な値に工場内でプログラムされる。これは外部の標準的なリファレンスレベルと比較することによってなされる。ソフトウェア制御によりユーザーはリファレンススレッシュホールドレベルをリセットするオプションが与えられている。

リファレンススレッシュホールド電圧 V_{th} 、またはリファレンスドレイン-ソース電流 I_{ds} が各々のリファレンスセル400にプログラムされると、それはアドレスされたメモリセルの読み出しのため、メモリセル、例えばセル410の読み出しのためのリファレンスとして用いられる。

リファレンス400はクロックが供給されているスイッチ413経由で電流検出増幅器410の第1の脚403に接続されている。

増幅回路の第2番目の脚415はそのプログラムされた導通状態が決定されるべくアドレスされた425に実質的に接続されている。セル420が読まれるべきであるとき、制御信号READは、スイッチ421を前記セルのドレインが前記第2の415に接続されることを可能にする。

検出増幅回路410はマスタリファレンスセル400

とアドレスされたセル425の両方のドレインに V_{ce} 経由で電圧を供給する。

好適な実施形態においては、増幅器はカレントミラーリ回路であって、その結果2本の脚403と415の中に存在する電流の差は、第2の脚45が V_{ce} の方向に、または V_s の方向に引かれることになる。

かくして、第2の脚の接続点はアドレスされたセルのソースードレイン電流がマスタリファレンスセル400を通過する I_{ds} よりも小(または大)のときに、それぞれHIGH(またはLOW)となる。

クロックが接続されているスイッチ423によってコントロールされる、ある適当な時間に検知された結果はラッチ425により保持されて出力線423で利用可能にする。

I_{ds} が I_{th} よりも少ないときには、出力線427にHIGHが現れて、アドレスされたセル420はマスタリファレンス400と同じ状況にあるものと見なされる。

好ましい実施例においては、電圧クランプと高速ブルーアップ回路430が前記第2の脚415とアドレスされたセルのドレイン431の間に挿入される。回路430は、それが低い I_{ds} のケースにおいて充電されているときに、ドレイン電圧 V_s を1.5Vから2.0Vの最大値に保持するため役立つ。そしてまたそれは、

V_{dd} がより高い I_{cell} の場合に低くなりすぎることを妨げている。

一般的にいって、もし各々のメモリセルが K 状態を記憶するとするならば、少なくとも $K - 1$ 、または好みくは K のリファレンスレベルが必要となる。1つの具体例においてアドレスされたセルは K のリファレンスセルと K 個の検知増幅回路を並列に設けられたものによって比較される。これはスピードの理由により、2 状態の場合に好みいものであるが、多段階のケースによって適当な検出方法のためには少なすぎる場合においても適用できる。かくして、多状態の場合においては、アドレスされたセルは K のリファレンスセルと 1 つずつ逐次比較されることが好みい。

第 9 B 図は多状態読み出しの形態をより詳細に示したものである。K 個のリファレンスセル、例えば 431, 433, 435 が検知増幅回路 450 に増幅回路の第 1 の脚 441 を介して接続されている。この接続はクロックが接続されているスイッチ、例えば 451, 553, 455 の各々によって時分割的に接続されるものである。検出増幅回路の第 2 の脚 457 は第 9 A 図に示されるアドレスされたセルに接続されている。第 2 の脚 457 における検出信号はクロックが接続されているスイッチ、例えば 461, 463, 465 により、ラッチ 471, 473, 475 に時間選択的に

ラッチさせられる。

第 9 C 図 (1) から第 9 C 図 (6) は多状態読み出しのタイミングを示している。シグナル READ が HIGH になったときスイッチ 421 はイネーブルになり、アドレスされたメモリセルは検出増幅回路 440 (第 9 C (1)) の第 2 の脚 457 に接続される。

クロックタイミングは第 9 C 図 (6) 乃至第 9 C 図 (4) に与えられている。かくして、各々のブロック信号において検知増幅回路は逐次的にアドレスされたセルを各々のリファレンスセルと比較して各々の結果をラッチする。検知増幅回路のラッチされた出力は第 9 C 図 (6) から第 9 C 図 (7) に示されている。検知増幅回路 455 の K 個の出力状態の総てがラッチされた後、それらは K 乃至 L のデコーダ 480 (2^L ≥ K) (第 9 C 図 (8)) の L 個のバイナリビットにコード化される。

かくして、多段階のスレッシュホールドレベルがマスタリファレンスセルとして働く一連のメモリセルによって提供される。

マスタリファレンスセルは独立して外部から消去プログラムが可能であり、それは製造者またはユーザーのいずれにおいても可能である。この特徴は最大のフレキシビリティを与えるものであり、任意のときに装置のスレッシュホールドウィンドの中に個々のブレイクポイントスレッシュホールドレベルの設定を許容する

ものである。リファレンスセルがメモリセルのそれと同じものであることによって、リファレンスセルが製造過程におけるバラツキ、動作状況、および電荷保留問題について、同じような変化をたどる。意のままに各スレッシュホールドレベルを独立してプログラムできることは、多状態メモリのスレッシュホールドウィンドの中の分割を最適化し、微調整することによって多状態メモリセルの実現を可能ならしめる。さらに、前記の特徴は製造後においても 2 状態かまたは多状態のメモリのメモリにするか同じ装置について、ユーザーの必要性とかそのときの特性にしたがって可能にする。

本発明の他の特徴は改良された多状態の 1 つのメモリセルに対して、改良された多段階の検出方法を提供することである。

多状態メモリの検出に関連して議論をしてきたが、セルの導通電流を総てのリファレンス導通電流レベル (スレッシュホールドレベル) と同時的に、または並列に比較することが好みい。

例えば、4 状態の記憶セルは少なくとも 4 つの状態を区別するために 3 つのリファレンス電流を持っている。セルの状態の並列検出はセルの導通電流 I_{cell} を 3 つのリファレンス電流レベルに対して比較することにする。

このことは各々の 3 つのリファレンスコンダクションレベルを逐次的に比較するよりも速いことになる。

しかしながら前述した簡単な具体例においては、アドレスされたセルの導通電流を 3 つの枝に、それぞれの 1 つをリファレンスレベルと比較するために分けるということは薄めてしまうことになる。

かくして、特に多段状態が含まれる場合においては、信号対雑音比の要請から簡単に多状態センシングを行うことは禁止されるであろう。

第 9 D 図から第 9 I 図においては、検出されるべきセルの導通電流を低下させるという欠点がなく、同時に多状態検出方法を可能にするいくつかの実施例を示している。各々の具体例においては、1 対多数の電流ミラーが多数のコピーを再生するために用いられて、各々のコピーはリファレンス電流レベルと同時に比較される。

第 9 D 図は、同時多状態検出方法の第 1 の具体例を示している。

1 対多数の電流ミラーは、第 1 の脚 920 上の第 1 のトランジスタ 910、第 2 のトランジスタ 911, 912, ..., 915 を第 2 の脚のブランチ 921, 922, ..., 925 に対応して設けてある。

第 1 の脚 920 に第 1 の電流が流れるために第 2 の脚の各々の枝 (ブランチ) 上の第 2 のトランジスタは電

流源のように働いて、再生された電流をその枝に流す。第1の電流に対する再生された電流の比は第1のトランジスタ 910 に対する第2のトランジスタ 911, 912, ..., 915 の相対的な大きさによって割合が決められる。

この実施例においてはすべてのトランジスタは第9図中のシンボル "X" が示すように、同じサイズが与えられている。これにより、1対多數の電流ミラーにおいて、第1の脚 920 の電流が同様に他の脚 921, 922, ..., 925 に再生される。

かくして、アドレスされたメモリセル 420 の導通電流 I_{cell} が第1の脚 920 中の読み可能なスイッチ 421 を介して流れると、同じ電流 I_{cell} が第2の脚の脚 921, 922, ..., 925 に再生される。

これにより、 I_{cell} を薄めることなく、実現できる。

一度 I_{cell} が各ブランチに再生されると、それは関連するリファレンス電流レベルと比較される。

これは、第1の電流源 911, 912, ..., 915 にそれぞれ同一線上にある第2の電流源 931, 932, ..., 935 によって、各々のブランチをドライブすることによってなされる。各々の第2の電流源または I_{cell} 回路 931, 932, ..., 935 は、それぞれ予め決められたリファレンス電流レベル、例えば、 I_{cell} は第1の間の 941 と同一の線上にあ

り、 I_{cell} は第2の間の脚 942 上にあり、 I_{cell} は K番目の枝の脚 953 上にある。

メモリ状態は前記 I_{cell} の S番目に関連する I_{cell} のレベルの位置を検出することによって決定される。

各々の状況に対応して検出された出力は、SA1, SA2, ..., SAK のように第9D図に示すものは、各々第1の枝の接続点 951, 第2の枝の接続点 952, ..., および K番目の枝の接続点 953 からもたらされたものである。各枝の接続点は第1と第2の電流源の間に位置している。

一般的にいって、前記2つの電流ソースはそれぞれ反対の記憶性を持っている。

もし、第2の電流源 931, 932, ..., 935 が一方端において、 V_{cc} に接続されているカチャンネルのトランジスタであったならば、第2の電流源は pチャンネルのトランジスタ 911, 912, ..., 915 であって、他方端で V_{cc} に接続されている。

I_{cell} と I_{cell} の2つの電流源の相対的なレベルに依存して各接点は V_{cc} (典型的には 5V)、または V_{cc} に引き上げられるか、または V_{ss} (典型的には 0V) に引かれる。

例えば、前記第1の枝において、電流 I_{cell} が脚 921 上に再生されて、電流 I_{cell} が脚 941 に供給されたとする。

接続点 951 は、セルの I_{cell} が I_{cell} よりも大きい (または小さい) 場合に、HIGH (またはLOW) となる。

かくして、メモリ1つの I_{cell} をもつメモリ状態は、 I_{cell} と I_{cell} の間に接続点 951 HIGH を持ち、これによって多状態出力 (SA1, SA2, ..., SAK) = (0, 1, ..., 1) を持つ。

一般的にいって、各 I_{cell} 回路 931, 932, ..., 935 は種々の異なったリファレンス電流レベル I_{cell} と I_{cell} , ..., I_{cell} を供給するように事前に調整された電流源であることができる。

第9E図は、Eeprom応用における1つの具体例を示しており、この具体例では各々の I_{cell} 回路 931, 932, ..., 935 は、各々リファレンスセル 431, 432, ..., 435 であって、それ自身が第9A図と第9B図に関連して説明されたEepromセルと同一のものである。かくして、リファレンスセルはマスタリファレンスセルまたはローカルリファレンスセルであって、その中にリファレンス導電電流レベルがプログラムされるものとして利用できる。

第9F図は、1つの好適な具体例を示すものであって、ここにおいて、 I_{cell} 回路は、直接的にリファレンスセルによって提供するものではなく、その再生されたものとして提供される。これにより、1つのチャ

ンク (例えば 84) は、同時検出のために同じリファレンスセルを分け合うことができる。トランジスタ 961, 962, ..., 965 のそれぞれは I_{cell} 回路 931, 932, ..., 935 の中にあり、各々のリファレンスセル 431, 432, ..., 435 からのリファレンス電流の再生を供給することができる。各々のトランジスタはリファレンス電圧 REF1, REF2, ..., REFK によってそのゲートが要求されるリファレンス電流レベル I_{cell} , I_{cell} , ..., I_{cell} を再生するために制御される。各々のリファレンス電圧は REF回路 971, ..., 975 によって供給される。

1つの代替は各々のトランジスタ 961, 962, ..., 965 と関連させられたREF回路 971, ..., 975 が二重電流ミラー回路をそれに各々のリファレンスする 431, 432, ..., 435 のリファレンス電流源が接続されており、それによりトランジスタ 961, 962, ..., 965 の導通電流として再生されることである。 I_{cell} 回路 931 を代表として考慮する。それは、トランジスタ 961 を I_{cell} の電流源として含んでいる。 I_{cell} のレベルはリファレンスセル 431 の導通電流の再生として得られる。リファレンスセル 431 は、リファレンス電流 I_{cell} を電流ミラー回路の第1の脚 976 に供

始するのであるが、その電流はその第2の脚977で再生されたものである。第1の電流ミラーの第1の脚977は第2の電流ミラーの第1の脚に接続されている。かくして、再生されたリファレンス電流は今度は第2のトランジスタ961による第2のミラーの第2の脚の中に再生される。一般的にいって、2つの電流ミラーは反対の極性のものである。例えば、REF1セル431が1つのnチャンネルトランジスタであったとすると前記第1の電流ミラーは2つのpチャンネルトランジスタ981と982であって、同じサイズ“X”を含んでいる。そして第2の電流ミラーは2つのnチャンネルトランジスタ983と961で同じ大きさ“W”を含んでいる。

第9G図は、さらに他の実施例を示すものであって、各枝の第2の電流源によって供給される異なった I_{REF} レベルは織て1つのリファレンス回路976により発生させられたものである。リファレンス電流976は各々の枝のトランジスタ961, 962, ..., 965のゲートに適用されるリファレンス電圧を提供する。第9F図に示されている具体例のようにリファレンス電圧はトランジスタをターオンさせるために役立つ。しかしながら、 I_{REF} の異なった枝の異なったレベルはトランジスタ961, 962, ..., 965のサイズを調整することによって得られる。例えば、

第9G図に図示されているように、トランジスタ961, 9962, 965はそれぞれ I_{REF} , J_{REF} , ..., K_{REF} の大きさを持つものであり、ここにおいて $I : J : \dots : K$ はそれぞれ $I_{REF} : J_{REF} : \dots : K_{REF}$ との比と同じである。1つのリファレンス電流976は1つの低電圧源または回路であって、第9F図の回路971に図示したリファレンスセルを含んでいる。これは通常の電流ミラー条件、そこにおいては、各枝、例えばM81と961のようなトランジスタは飽和領域にバイアスされている場合に適用される。

第9H図は、他の実施例を示すものであって、ここにおいて、織ての第2の電流源はブランチを横切る点で共通であるが I_{CELL} は第1の電流源により各々のリファレンスレベルの傾きに対応する率で各ブランチに変換される。

この割合は、各第2のトランジスタ911, 912, ..., 915の大きさによって決められる。

例えば、第9H図に示されているように、第2のトランジスタ911, 912, ..., 915はそれぞれ I_{REF} , J_{REF} , ..., K_{REF} の傾きを持つものであってここで X は第1の脚920にある第1のトランジスタ910の大きさであって、 $I : J : \dots : K$ はそれぞれ $I_{REF} : J_{REF} : \dots : K_{REF}$ の比に対応している。したがって、たった1つのREF回路976が枝を横

切って用いられており、さらに織てのトランジスタ961, 962, ..., 965のサイズは同じものである。1つのリファレンス回路976は低電圧源であるか、または第9F図に示されたREF回路971と同様なリファレンスセルを含む回路とすることもできる。

1つの実施形態においては、リファレンス回路976は各々の第2の電流源961, 962, ..., 965が最も高いリファレンス電流レベル I_{REF} と等しい電流を供給するように製造されている。ノードからの出力の順序は、第9D図から第9Gに示された具体例に関連して反対になっている。

第9I図は、第9G図と同様な回路を用いた同時多状態検出方法の他の実施例を示しているが、アドレスメモリセルのアイデンティティとREF回路は入替えられている。換言すれば、各枝に第2の電流源、例えば931, 932, ..., 935が今度は再生された I_{CELL} を供給している。

これは各々の枝のトランジスタ961, 962, ..., 965の織てのゲートヘリファレンス電圧MCを供給する1つのアドレスされたメモリセル回路977の手段によって達成される。前記回路977は第9F図の I_{REF} 回路に似たものであるが、REF1セル431は今度はアドレスされたメモリセル420により、

置き換えられている。同様に、第1の電流ソース、すなわち911, 912, ..., 915が今度は I_{REF} , I_{REF} , ..., I_{REF} を供給している。

各々の I_{REF} はREF0回路978の電流の段階的な再生として得られる。

このスケーリング（割合）は1対多電流ミラー中の各々の第2のトランジスタ911, 912, ..., 915のサイズを調整することによって得られる。

例えば、第9I図に示されているように第2のトランジスタ911, 912, ..., 915は、それぞれ I_{REF} , J_{REF} , ..., K_{REF} 、ここにおいて X は第1の脚920中の第1のトランジスタ910のサイズであって、1対 $I : J : \dots : K$ は各々の $I_{REF} : J_{REF} : \dots : K_{REF}$ の比と同じである。一般的にいって、REF0回路978は I_{REF} の電流レベルを供給する電流源であればよい。

1つの具体例において、REF0回路はリファレンス電流レベルによってプログラム可能なEEPROMセルであって、それは第9A図と第9B図に開示して説明されたものと同じである。

本発明の他の重要な特徴は耐久性に関連するストレスの問題を克服することに役立つことである。すでに説明したように消去プログラムと読み取りにおける各阻止の特徴はそのセルが受けたプログラムと消去

サイクルの数に耐えたストレスの蓄積上に依存している。一般的にいって、メモリセルはマスタリファレンスセルよりもより多くのプログラム／消去のサイクルに曝されるものである。当初の理想的なリファレンスレベルはしだいにいずれてきて、読み取りエラーの原因となる。本発明の中に存在する発明概念は、メモリセルの被るであろう同じサイクルを反映したリファレンスレベルをもつことである。

これはマスタリファレンスセルに加えて、ローカルリファレンスセルを構成することによって達成される。ローカルリファレンスセルはメモリセルと同様なプログラム／消去のサイクルに曝される。消去のサイクルが終わるごとに主セルのリファレンスレベルは対応するローカルリファレンスセルの中にコピーされる。メモリセルはそれからローカルリファレンスセルの非常に追従性を持つリファレンスレベルに対して読みられる。この方法により、セルの特性中に存在する各プログラム消去サイクルの後の誤差は自動的に補償される。適当なスレッシュホールドウインドの分割はメモリが多くのサイクルの後でも、正確に読み出されるように、なる。

第10図は、フラッシュEEPROMのためのローカルセルの最小実施形態を示している。フラッシュEEPROMアレイ60(第4図)において、各々の集

合的に消去され、またはプログラムされるメモリセルのグループは、セクタと呼ばれている。

用語“フラッシュセクタ”は磁気ディスク記録装置で用いられる“セクタ”の用語に類似するものであって、それらはここにおいては、同様に用いることができる。EEPROMアレイはフラッシュセクタ、すなわち501, 503および505のようにグループ化されている。1つのフラッシュセクタの中の全てのメモリは同じサイクルを受けるが、異なったフラッシュセクタは異なるサイクルを受ける。各々のフラッシュセクタを適当に追跡するために、各々のフラッシュセクタにおいて、1セットのメモリセルがローカルリファレンスセルとして使用するためにとておかれ。例えば、フラッシュセクタ503が消去された後において、マスタリファレンスセル507中のリファレンスレベルはフラッシュセクタ503に関連するローカルリファレンスセルに再プログラムされる。次の消去サイクルに至るまで、読み取り回路513はフラッシュセクタ503の中で前記再プログラムされたリファレンスレベルにしたがって、メモリの読み出しを継続するであろう。

第11図(1)乃至第11図(7)はセクタのリファレンスセルを再プログラムするアルゴリズムを図示している。特に第11図(1)から第11図(3)は、セクタのローカル

リファレンスセルをそれらの“消去された状態”に消去することに関連している。かくして、第11図(1)において、消去電圧の1つのパルスがローカルリファレンスセルを含むセクタのメモリセルの全てに供給される。第11図(2)において全てのローカルリファレンスセルは、マスタリファレンスセルに関連して読み出され、もしそれらが“消去”されているかどうかをベリファイする。1つのセルがそうでないと見なされた場合にはさらに消去電圧のパルスが全てのセルに印加される。このプロセスはセクタ中の全てのローカルリファレンスセルが“消去”的な状態になったことがベリファイされるまで繰り返される。(第11図(3))

第11図(4)乃至第11図(7)はセクタ中のローカルリファレンスセルをプログラムすることに関連している。セクタ中の全てのローカルリファレンスセルが“消去”的な状態にあることがベリファイされた場合において、プログラム電圧の1つのパルスが第11図(4)において、全てのローカルリファレンスセルに供給される。

これに引き続き第11図(5)がマスタリファレンスセルに対してローカルリファレンスセルを読み出して、そのローカルリファレンスセルの全てが対応するマスタリファレンスセルの状態にプログラムされているかどうかをベリファイする。これらのローカルリファレンスセルがそのようにベリファイされなければ、もう1

個のプログラミングボルテージの数がそれらのみに選択的に供給される(第11図(6))。このプロセスは全てのローカルリファレンスセルがスレッシュホールドウインドの中において、多くのブレイクポイントスレスシホールドにプログラムされたことがベリファイされるまで繰り返される(第11図(7))。一度セクタ中のローカルリファレンスセルが再プログラムされると、それらは直接的、または間接的に、消去のベリファイ、プログラムのベリファイ、またはアドレスされたメモリセルのセクタの読み取りのために用いられる。

第12A図は一実施例を示し、そこにおいてローカルリファレンスセルは直接的にプログラム、または消去ベリファイ、セクタメモリセルをプログラム／消去ベリファイに用いられている。かくして、この操作において、並列の組の525は大文字のREADシングルによって、イネーブルにされ、検知増幅回路440は各々のセクタのローカルリファレンスセル525に関連してアドレスされたセクタのアドレスされたメモリセル523を読む。ローカルリファレンスセルのプログラム／消去ベリファイの間(第11図に示されているように)、他のもう1つの並列のスイッチ527がマスタリファレンスセル529に関連してローカルリファレンスセル255の読み取りを可能にする。

第12B図は、アドレスされたメモリセルのセクタ

の読み、またはプログラム／消去ペリファイに前記ローカルリファレンスセルを直接に用いる場合のアルゴリズムを示している。

第13A図には、他の具体例が示されており、ここではローカルリファレンスセルは間接的にアドレスされたメモリセルを読み出すために用いられている。まず、はじめにマスタリファレンスセルはスレッシュホールドウインドの中の多数の希望されるブレイクポイントの1つの消去とプログラムがなされる。これらのマスタリファレンスセルはスレッシュホールドを用いてセルの消去されたセクタ内のローカルリファレンスセルは希望する多数のブレイクポイントのうちの中の1と同じプログラムがなされる。次に前記セクタの中のアドレスされたセルに任意のデータのプログラムされ（書き込まれ）る。

セクタ中のアドレス達成のための読みの手続きは、第13A図に示されているステップを含んでいる。

まず第1に、ローカルリファレンスセル525中の各々が対応するマスタリファレンスセル531にしたがって読み出される。

総てのブレイクポイントスレッシュホールドレベルのためのマイナス調整動作が完了させられた後で、セクタ中のアドレスされたセルはバイアス調整された主リファレンスセルに関連して読み出される。

これはディスエーブルREAD1を533へ、そしてイネーブルREAD信号をスイッチ535に与えることによって始められる。このようなアプローチの利点

は V_{cc} 、温度、繰り返し疲労、または他の影響によるバリエーションが、長い時間の間にマスタリファレンスセルとアドレスセル間のスレッシュホールドの差のバリエーションが読み取りの前に除去されることであって、その理由はローカルリファレンスセル（それはアドレスセルのスレッシュホールドバリエーションを追求する）は、マスタリファレンスセルのブレイクポイントスレッシュホールドを効果的に調整するために用いるからである。例えば、この手順においては、アドレスされたセルのプログラミングを主リファレンスセルが $V_{cc} = 5.5$ Vで動作されており、引き続くアドレスセルが主リファレンスセルが $V_{cc} = 4.5$ Vに動作させられる場合でもプログラムを許容している。 V_{cc} 中の1 Vの差は通常はブレイクポイントスレッシュレベルの値の変化の原因となるのであるが、ローカルリファレンスセルをマスタリファレンスセルを読み出しの際にこの変化の反対の方向に働くようにすることによって中和させる。

第13B図と第13C図は主リファレンスセル551、553、555に対する電流バイアス回路、すなわち、541、543、545のより詳細な具体例を示している。各々のバイアス回路はマスタリファレンスセルの電流シャントとして働く。例えば、電流回路541はマスタリファレンスセル551のドレインに接続561を介して電力供給されている。

それは検知増幅回路（第1の脚）への電線562の電流を修正するものであって、 V_{cc} からのソース電流。

または V_{ss} へのドレイン電流によって行われる。

前者の例によれば、電線562内の電流は減少させられ、下のケースの場合にはその反対となっている。

マスタリファレンスセル551のためのバイアスが確立されているから、センス増幅回路の2本の脚の中の電流の不均衡はチップの外に伝達される。

これはコントローラ（第5回リファレンス）により検出され、そのコントローラはバイアス回路541を内部アドレスバス111を介してプログラムして、ローカルリファレンスを均衡化するためにセル62中の電流を引いたり、足したりする。

第13C図は、回路541のようなバイアス回路の具体例を示している。一連の並列トランジスタ、すなわち571、573、575はそのドレインが総て V_{cc} に接続され、それらのソースはスイッチ、すなわち581、583、585を介して接続561に接続されている。スイッチを選択的に操作することにより、異なる数のトランジスタが種々の量の電流を接続562から引くために用いられるであろう。同様にして、他の一連の並列トランジスタ、すなわち591、593、595は、そのソースがすべて V_{ss} に接続されており、それらのドレインはスイッチ、すなわち601、603、605を介して接続561に接続されている。選択的にそれらのスイッチを動作させることにより、異なる数のトランジスタが接続562の電流へ、いろいろな量の電流を加算するのに用いられる。デコード609は、内部アドレスバス111からのアドレスをレコー

ドして、選択的にスイッチを動作させる。イネーブル信号は、ラッチ611、613に蓄積される。このようにして、1つのセクタが読み出される総てのときに、主リファレンスセルはローカルリファレンスセルに対して、再度バイアスされて、セクタ中のメモリセルを読み出すために使用される。

第13D図(1)乃至第13D図(4)は、他の実施例の読み出しのアルゴリズムを図示している。セクタは予め、そのローカルリファレンスセルをプログラムして主リファレンスセルに対してペリファイされていなくてはならない。（第13D図(1)）。したがって、各々の主リファレンスセルはそれからローカルリファレンスセルに関連して読みられる（第13D図(2)）。主リファレンスセルは対応するローカルリファレンスセルに対して電流を均等化するためにバイアスされる（第13D図(3)）。引き続い、セクタ中のメモリセルはバイアスされた主リファレンスセルに関連して読み出される（第13D図(4)）。

すでに説明された読み出し回路、およびその動作はメモリセルのプログラム消去において、利用できる。特にそのペリファイの部分において利用できる。前述したように、プログラム状態の読み出しをその希望する状態に達する間に小さなステップで実行することができる。プログラムの状況が正確にペリファイされるとプログラムも終了する。同様にして“消去”的状態に完全に達したかをペリファイする間に消去状態の読み出しをするという小さいステップで行われてい

る。

一度“消去”の状態が完全にペリファイされたら、消去動作を終了する。

前述したようにスレッシュホールドウインドをKの領域に分割するためにはK-1個のブレイクポイントスレッシュホールドレベルが必要であり、これによってメモリセルにKの状態を記憶できる。本発明の1つの特徴によれば、多大のケースにおいて、スレッシュホールドウインドはより細かく分割されて、Kの状態のためにKのスレッシュホールドレベルを設けることが好ましい。余分なスレッシュホールドレベルは、“消去”の状態を最も低いスレッシュホールドレベルから識別するために用いられる。これにより、過度の消去と過度のストレスを与えることを防止することができる。その理由は“消去済み”の状態に達したならば、消去が留められるからである。選択的に個々のセルの消去を禁止するということは、フランク EEPROMの場合には行われない。

それは、1つのセクタが1回で消されてしまうからである。メモリセルが各々に消去のためにアドレスされるEEPROMに適している。

本発明のさらに他の特徴によれば、メモリセルが“消去”の状態に消去された後で、それは“消去”の状態に近接する最も低いスレッシュホールドレベル（グランド状態）にセルをもたらすという、僅かなプログラムがなされる。これには2つの利点がある。まず、第1に織てのメモリセルのグラント状態のスレッシュ

ホールドレベルは2つのブレイクポイントスレッシュホールドの中に閉じ込められており、よく調整されて広がったりしないからである。これは、引き続くセルのプログラムの均一のスタートポイントを与える。第2に織てのセルは第1のプログラムにおけるものであるから、これにより、それらの中にグランド状態を持つ傾向にある。例えばこれらのセルを他のものとのプログラム／消去回路と耐久記録に関連する他のものとの追従を失うことを防ぐ。

チップ上のプログラムペリファイ

前述したように、EEPROMを好ましい状態にプログラムすることは、“消去”の状態から小さいステップで好ましいプログラムがなされる。各々のプログラミングステップの後で、プログラム中のセルはそのセルが希望する状態に達しているかどうかをペリファイするために読みられる。もし、そうでなかったら、さらなるプログラムとペリファイが、そのペリファイに至るまで繰り返されるであろう。

第5図に示されているシステムダイヤグラムをリフレンスするとEEPROMチップ130はコントローラ140のコントロールのもとにある。それは、直列的なインライン251と直列的なアウトライン253により直列的に接続されている。

従来のEEPROM装置においては、各々のプログラムステップの後で、プログラムによりそのセルの中に形成された状態はコントローラ140、またはCPU160にそれが望ましい状態にあるかどうか、ペリフ

アイするために送り戻される。この手続きは特にシリアルリンクの場合において、スピードに関して大きな負担となる。

本発明においては、ペリフィケイションプログラムは1つのチャック（典型的には数バイト）のセルを並列的にペリファイし、引き続くチップ上の並列なペリファイをするのである。

並列プログラムには選択プログラム回路、それはチャックで、すでにその状態が正確にペリファイされたものをプログラムを不可能にするものによって、選択的に実施される。この特徴は多状態実施形態において必須のものであり、なぜならば、あるセルはそれらの希望する状態に他のものより早く到達するであろう。

そしてもし、止められなければ、希望する領域を越えてしまうことになる。織てのセルのチャックが正しいものとしてペリファイされるとチップ上のロジックはこの事実をコントローラに通報する。

これにより、セル中の次のチャックのプログラミングが開始されるであろう。このようにしてプログラムステップにおいて、データはEEPROMチップと、コントローラの間を行ったり来たりする必要はなく、プログラムペリフィケイションスピードは非常に増大せられる。

第14図は、n個のセルの1つのチャックを並列にプログラムし、ペリファイする経路を図示している。第5図のシステムダイヤグラムの中の対応するモジュールと同じ数字が付されている。

EEPROMアレイ60は一時にnセルずつアドレスされる。例えばNは64セルの大きさである。

512バイトのフランクセクタにおいて1024セルの4ローを含み、そこには64チャックが存在することになる。ソースマルチプレクサ107はアドレスされたチャックの1つのうちのNのソース電圧V_sに織103で接続する。同様にして、ドレインマルチプレクサ109はチャックのnドレインをデータバス105のNチャンネルを介してアクセス可能にする。データバス105は禁止210を持つプログラム回路によって、プログラムの間と読み取り回路220によって、読み取り、プログラムペリファイ、または消去ペリファイの最後にアクセスされる。

第5図のシステムダイヤグラムに再度関連して述べると、プログラムはコントローラ140の制御下にある。セクタの中にプログラムされるべきデータは、チャックごとに送られる。コントローラはまず最初に、シリアルデータビットのN*Lの第1のチャックをアドレスと制御とタイミング情報とともにEEPROMチップ130に送る。Lはメモリセルごとにエンコードされるバイナリービットの数である。例えば、L=1は2状態のセルで、L=2は4状態のセルである。かくして、もしN=64でL=2であれば、データビットのチャックは128ビットの大きさとなるであろう。N*Lデータビットはラッチに蓄積され、そしてレジスタ190にシフトされ、そこで直列のビットはN*Lのパラレルビットに変換される。これらのデー

タはリード回路220、ピットデコーダ230、比較回路220、および禁止回路210を持つプログラム回路に関連して、プログラムベリファイのために用いられるであろう。

Nセルのチャネルのためのプログラムのアルゴリズムは、第5図のシステムダイヤグラムとアルゴリズム自身を図解している第15図(1)乃至第15図(7)に記述されている。既に説明したように、セクタのプログラミングに先立ち、織てのセクタは消去され、その中の織てのセクタは“消去”的状態であるということがベリファイされなければならない(第15図(1))。

これに引き続いて第15図(2)に示されているように、セクタのローカルリファレンスセルのプログラミングが行われる(第11図(1)乃至第11図(3))。第15図(3)において、N*Lビットのパラレルデータはラッチ190によってラッチされる。第15図(4)において、読み取り回路220はセルのNチャネルの状態を読むために、Nチャネルのデータバス105にアクセスする。読み取りのアルゴリズムは、既に第12B図または第13D図に関連して説明されている。前記Nセルの読みは、N*K(K=セル毎の状態の数)の出力状態を発生する。これらは、ピットデコーダ230によってN*Lのバイナリビットにデコードされる。第15図(5)において、前記N*Lのリードビットはピットごとに比較回路200によって、ラッチ190からのN*Lプログラムデータビットと比較される。第15図(6)において、もし任意のリードビットがプログ

ラムされているデータビットと比較できなかつた場合には、より高いプログラム電圧パルスがプログラムした回路210から同時にセルのチャネルに印加される。しかしながら、プログラム回路210中の禁止回路が選択的にプログラムデータビットと正確にベリファイされたものについてのプログラムをロックする。かくしてベリファイされなかつたセルのみのプログラムが各回路とみなされる。プログラムとベリファイは織てのセルが正しくベリファイされるまで第15図(7)に示されるように繋けられる。

第16図は、第5図の比較回路200の具体例より詳細に示したものである。回路200はNセルの比較モジュールすなわち、701、703を持ち、それらの1つは各々チャネルの中のNセルに対応するものである。各々のセルは比較モジュールは、すなわち、モジュール701の中にリード(=read)ビット(L=各々のセルのためにエンコードされたバイナリビットの数)をビットごとに対応するプログラムデータビットと比較する。これは、LのXORゲート、すなわち711、713、715によって行われる。これらのXORゲートの出力はNORゲート717を“1”が、このNORゲートの出力に現れるために織てのLビットがベリファイされるように現れ、そうでないときは“0”が現れる。

コントロール信号VERIFYが真である場合には、この結果はラッチ171にラッチされ、NORゲート717の出力がセル比較モジュール出力725によっ

て有用であるようにラッチする。比較回路200はLビットの比較を並列に行う。N比較モジュールの出力、すなわち725、727は第5図の禁止回路210を持つプログラム回路供給されるNチャネル出力兼731に利用される。

同時に、Nの出力、例えば725、727は、ANDゲート733を通り、その1つの出力735が“1”的ときは、織てのNセルはベリファイされたものであつて、“0”的ときはその反対である。さらに第5図に関連して、1つの出力735はコントローラ140に織てN個のセルのデータが正しくベリファイされたということをコントローラ140に伝えるために用いられる。出力735中の信号は、直列出力兼735とANDゲート240をVERIFY操作のときに通過して送られる。

パワーアップの際、またはデータのチャネルのプログラム/ベリファイの終了のときに、織てのセル比較モジュールの出力、すなわち725、727は“ベリファイされていない”的状態にリセットされる。これは接続点726をV_{dd}(0V)に織727上のRESET信号をトランジスタ729に加えることによって吊り上げられる。

第17図は、第5図の禁止回路210を持つプログラム回路をより詳細に示した図である。プログラム回路210は801、803のような禁止モジュールを持つNプログラムを含んでいる。テーブル1とテーブル2に示されているようにN番目のセルをプログラム

するためにはV_{dd}の電圧が各々のN番目のセルのドレインと電圧V_{cc}がコントロールゲートに供給されなければならない。各々のプログラムモジュール801は織805上のV_{dd}をNチャネルのデータバス105のうちの1つを介して、1つのドレインに選択的に供給するために用いられる。V_{dd}は典型的には8Vから9Vであつて、それはV_{cc}よりも高いので、後者はトランジスタスイッチ807をターンオンするために用いることができない。むしろより高い電圧V_{cc}(約12V)がスイッチ807をイネーブルするために用いられる。織801上のV_{cc}はANDゲートによってライン813上のプログラムコントロール信号PGMが真であり、かつライン兼731が“0”であるときに、ANDゲートによってそれ自身がイネーブルにされる。兼731上の信号は、第16図に示されているセル比較モジュール701の出力からのものであるから、V_{dd}は未だベリファイされていないセルにそれらを選択的に供給することになる。このようにしてプログラムパルスが印加されるごとに、それはまだ希望する状態に達していないセルにのみ供給されることになる。この選択的なプログラムの特徴は特に並列プログラムの実施形態と多状態のチップのベリファイのために必要である。

コントロールゲートへの可変電圧制御

第5図のシステムダイヤグラムに関連してテーブル1および2はEEPROMの基礎的な機能を実行するためにEEPROMアレイ60に種々な電圧が供給さ

れていることを示している。従来のEEPROMの装置においては、コントロールゲート V_{ce} に加えられるコントロールゲート電圧は2つの電圧の状態の1つをとるものであり、すなわち、 V_{ce} またはより高い約1.2Vのプログラミング電圧である。

本発明の他の特徴によれば、コントロールゲートに供給されるコントロールゲート電圧 V_{ce} は独立に、かつ連続的に広い範囲において可変できるものである。

これはコントロール140からの V_{ce} によって提供される。特に図83上の V_{ce} は V_{ce} から供給され、図901からコントローラによって供給される。テーブル2は V_{ce} がEEPROMの異なる機能の下に種々の電圧をとることを示している。

種々の V_{ce} は特にプログラムと消去マージンの手続きにおいて有利である。プログラムマージンにおいて、リードプログラムのペリファイは標準の V_{ce} よりもわずかに高い V_{ce} によってなされる。これはプログラムされたスレッシュホールドをプログラミングによって、僅かなマージンをもってブレイクスレッシュホールドレベルを越えた状態に置くのに適している。消去のペリファイにおいて、セルはわずかに減少された V_{ce} によってなされ、セルを“消去”の状態の中にいることをペリファイすることができる。さらに加えてマージンを設けることは電荷の残留の問題、すでに説明した(第8B図リファレンス)を用いることができる。

前述したように従来のEEPROMでは典型的にプログラムまたは消去ペリファイの間に V_{ce} を V_{ce} に供

給するために用いていた。マージンを設けるために V_{ce} 、それ自身が引き上げられたり、または引き下げられたりしなければならない。このようなことをすると、それらは V_{ce} によってなされるものであるから、読み出し回路の中に不正確な結果を残す。

本発明において、独立した種々の V_{ce} が読み出し回路に加えられるので、より正確で信頼性の得られる結果が得られる。

さらに加えて、広い範囲の V_{ce} がEEPROMのテストと診断のために利用できる。

さらにプログラムセルの全領域のスレッシュホールドを測定するために V_{ce} を連続的に増加させることができる(装置の接合のブレークダウンにより制限される最大の値まで)。

以上説明した具体例は本発明の好ましい実施形態であるが、当業者はこれらについて種々の変形をすることができるだろう。

したがって、本発明は添付の請求の範囲の全範囲について保護が与えられるべきである。

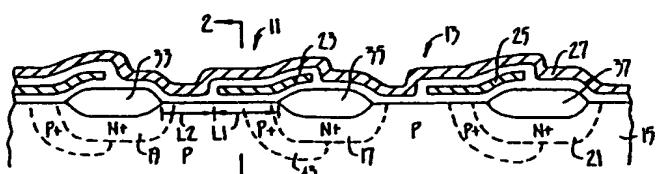


FIG. 1.

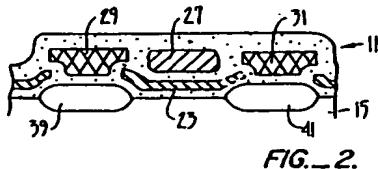


FIG. 2.

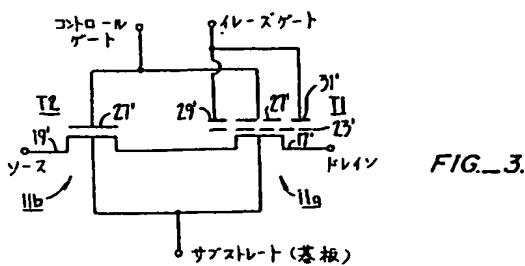
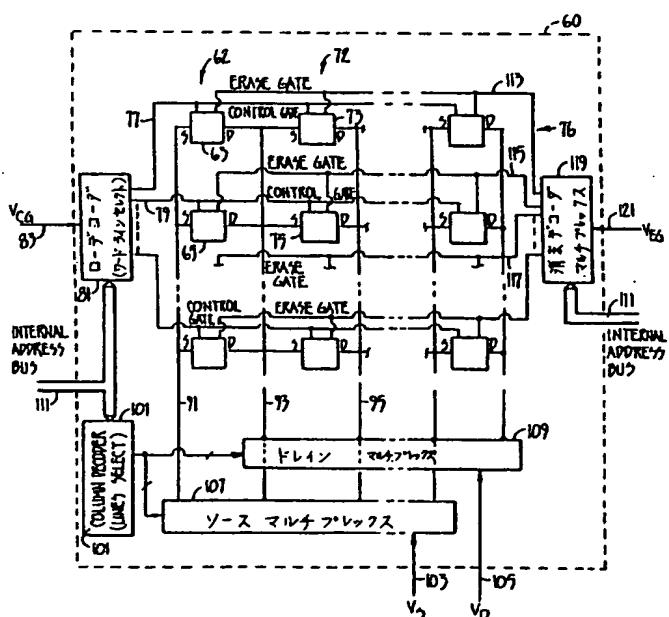


FIG. 3.



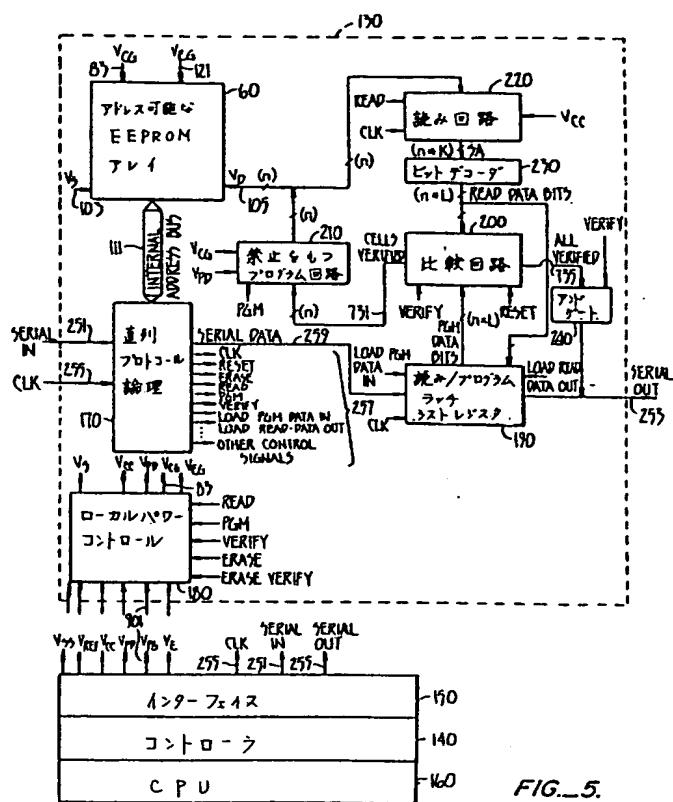


FIG. 5.

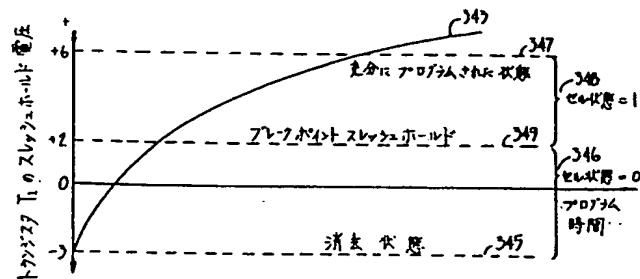


FIG. 6.

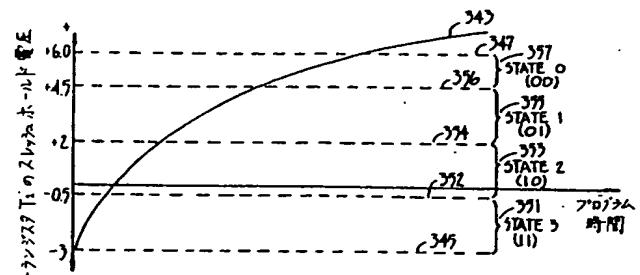


FIG. 7A.

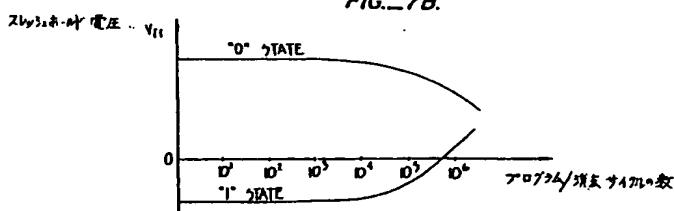
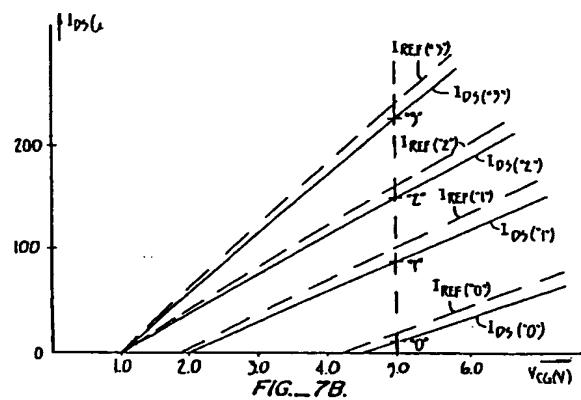


FIG. 8A.

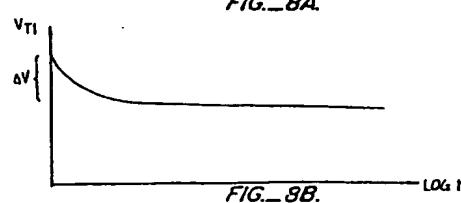


FIG. 8B.

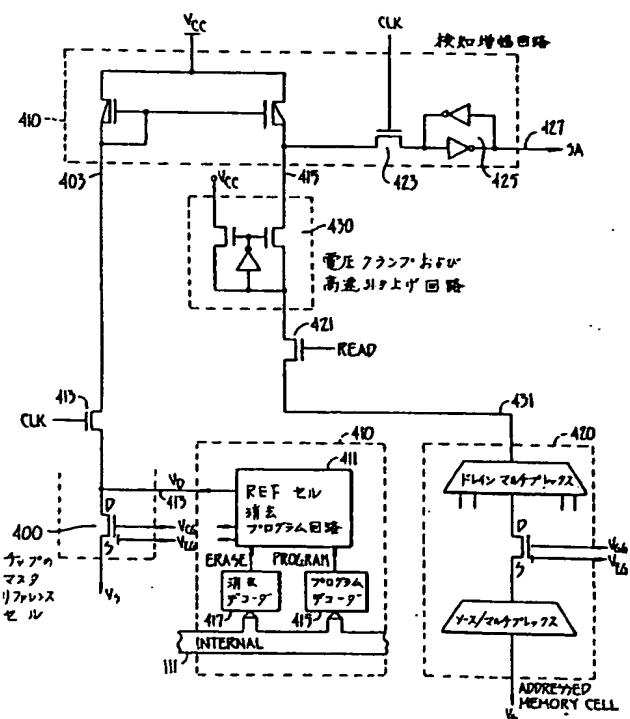


FIG. 9A.

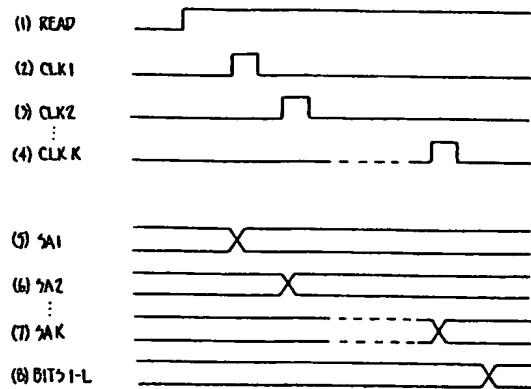
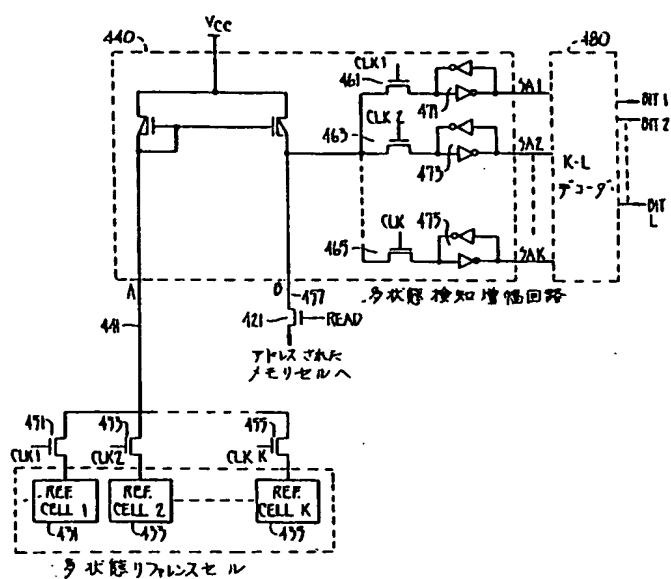


FIG. 9C.

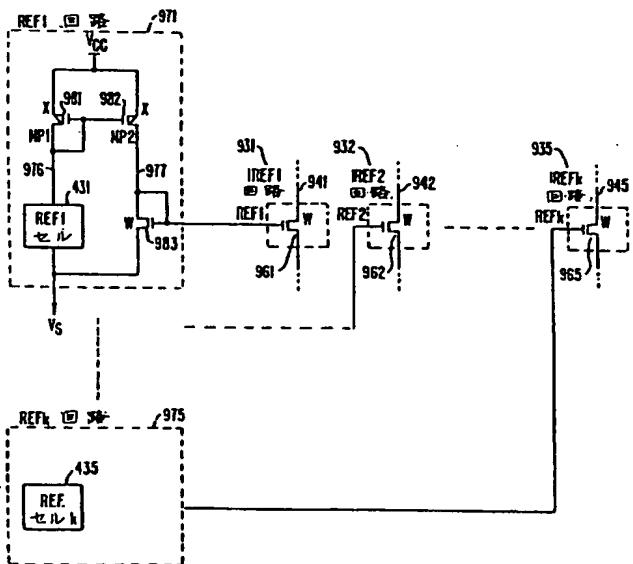
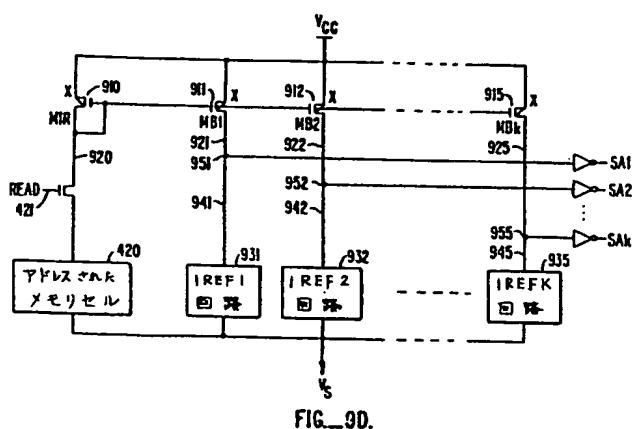
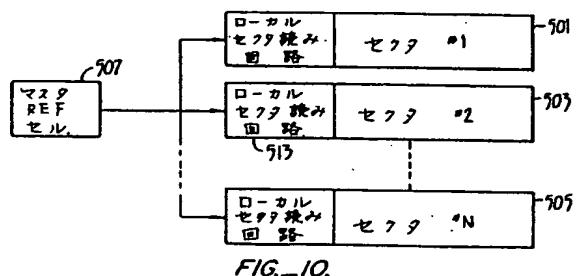


FIG. 9F.

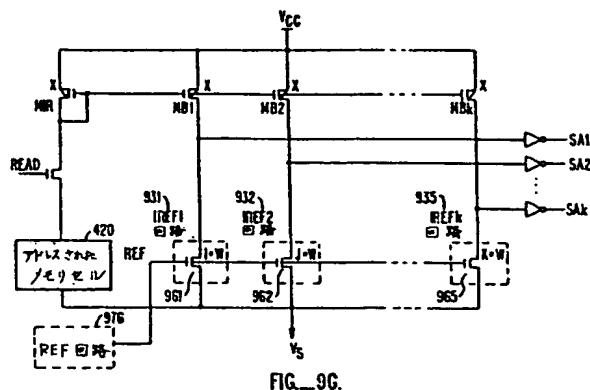


FIG. 9G.

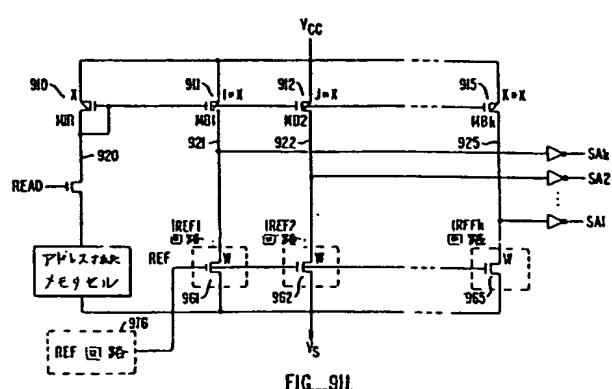


FIG. 91L

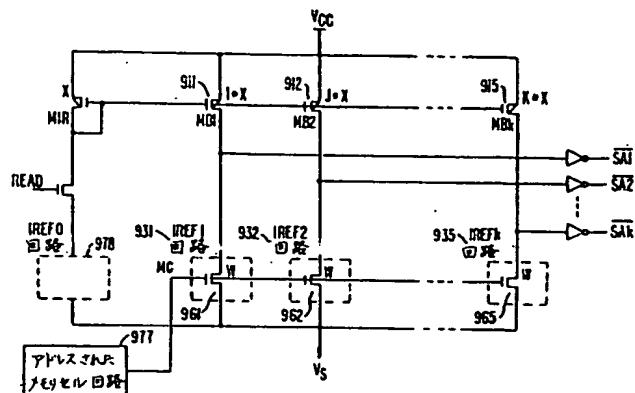


FIG. 91.

セラローカル
REFセル消去
ヒベリティ
アルゴリズム

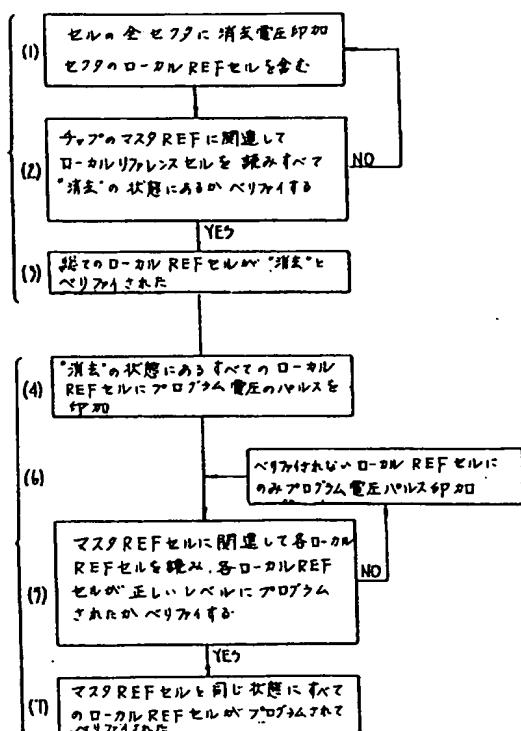


FIG.-11.

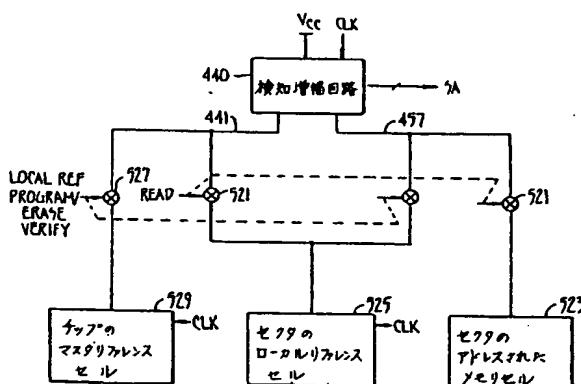


FIG. 12A

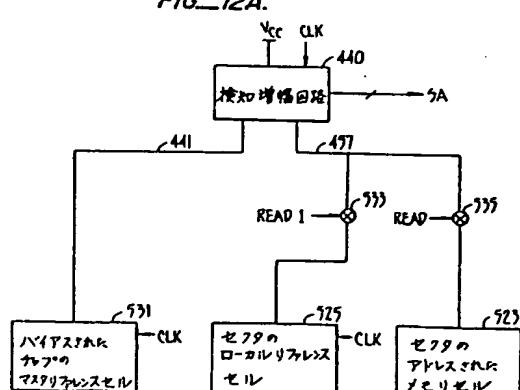


FIG. 13A.

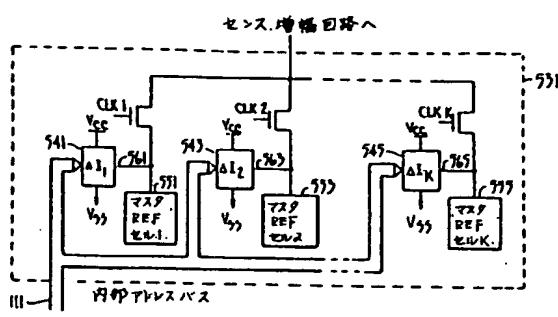


FIG. 13B.

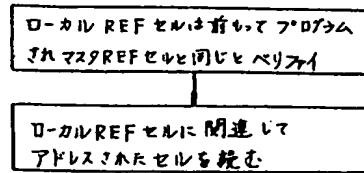


FIG. 12B.

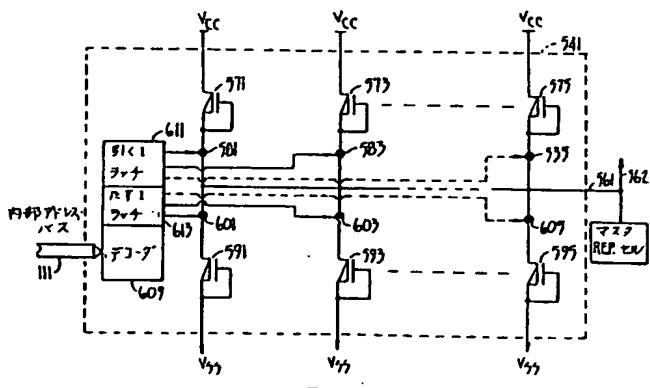


FIG. 13C.

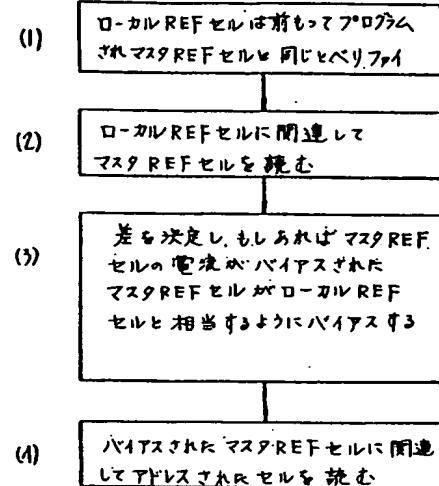


FIG. 13D.

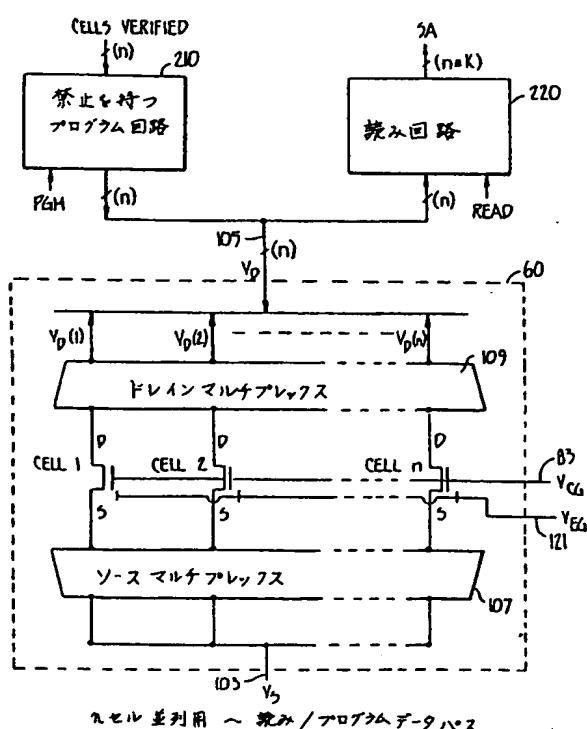


FIG. 14.

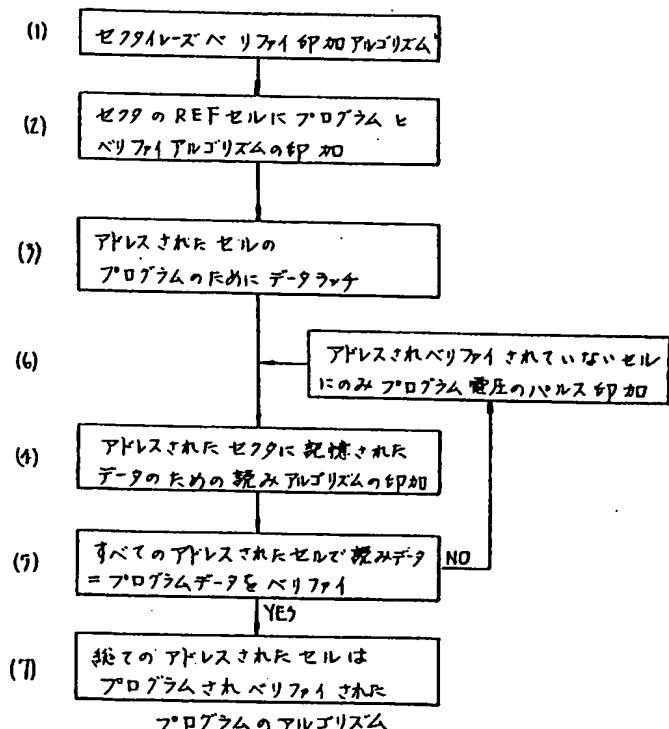


FIG. 15.

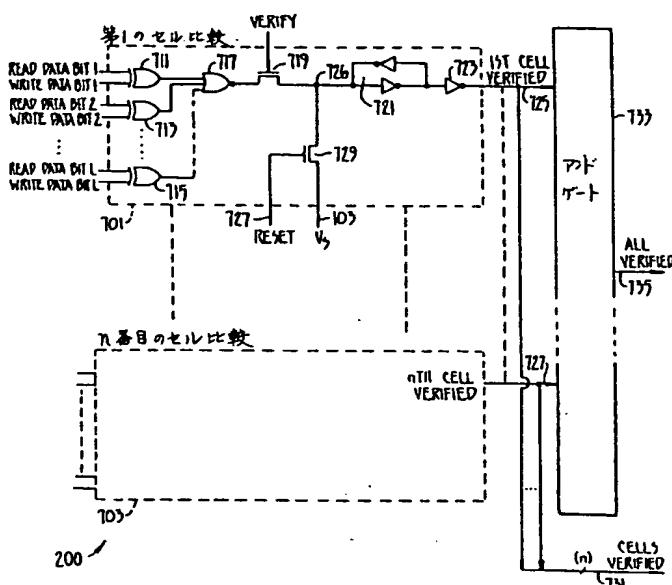


FIG. 16.

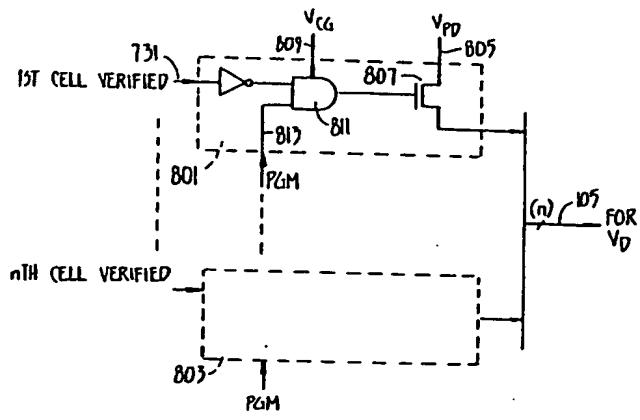


FIG. 17.

	選択 MOSFET コントロール ゲート V_{CG}	トライイン V_D	ソース V_S	漏電 ゲート V_{EG}
リード	V_{PG}	V_{REF}	V_{SS}	V_E
プログラム	V_{PG}	V_{PP}	V_{SS}	V_E
プログラム ペリフェリ	V_{PG}	V_{REF}	V_{SS}	V_E
消去	V_{PG}	V_{REF}	V_{SS}	V_E
消去ペリフェリ	V_{PG}	V_{REF}	V_{SS}	V_E

テーブル 1

(典型例) 値	リード	プログラム	アドレス ペリフェリ	消去	消去 ペリフェリ
V_{PG}	V_{CC}	12V	$V_{CC}+5V$	V_{CC}	$V_{CC}-5V$
V_{CS}	5V	5V	5V	5V	5V
V_{PD}	V_{SS}	8V	8V	V_{SS}	V_{SS}
V_E	V_{SS}	V_{SS}	V_{SS}	20V	V_{SS}
選択されなかった コントロールゲート 選択されなかった ビットライン	V_{REF}	V_{REF}	V_{REF}	V_{REF}	V_{REF}

$$V_{S3} = 0V, \quad V_{REF} = 1.5V, \quad \delta V = 0.5V = 1V$$

テーブル2

I. CLASSIFICATION OR SUBJECT MATTER (if several classification symbols apply, indicate all)		International Application No. PCT/US90/01984	
According to International Patent Classification, indicate the class, subclass and CPC			
IPC(5): G01C 7/00, 11/00, 16/00; G01R 31/28		U.S. Cl.: 365/185; 104; 201; 189-07	
II. FIELDS SEARCHED		Minimum Documentation Searched *	
Classification System:		Classification System:	
U.S. 365/96, 104, 185, 168, 189-07, 189, 09, 201, 184		371/21.4	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched *			
III. DOCUMENTS CONSIDERED TO BE RELEVANT **			
Category	Character of Document, ** with indication, where appropriate, of the relevant passages **	Relevant to Claim No. **	
X Y	US, A, 4,799,195 (IWAHASHI ET AL.) 17 January 1989, See column 4-7.	1,13	8,16,27,46
X Y	US, A, 4,733,394 (GIEBEL) 22 March 1977, See column 2, lines 25-42, column 4.	1,13,36,45,51, 52,53	54,8,16,27,46
A	US, A, 4,612,629 (HARARI) 16 September 1986, See column 5 line 60 to column 10 line 20. See also column 14 line 42 to column 15 line 1.	ALL	
A	US, A, 4,525,059 (BELL ET AL.) 24 February 1981, See column 2, lines 20-43.	59-63,65-87	
A	US, A, 4,460,982 (GEE ET AL.) 17 JULY 1984, See column 6, lines 5-24.	59-63,65-87	
A	US, A, 4,809,231 (SHANNON ET AL.) 28 February 1989, See column 2, lines 57-68 to column 3, lines 1-6.	59-63,65-87	
* General categories of cited documents: **			
** "Art" means the technical field of the art which is not considered to be relevant.			
** "Prior art document" but published on or after the international filing date.			
** "Document which may (hereinafter referred to as "prior art") or which is cited to evaluate the patentability of the claimed invention in accordance with the relevant laws of the country concerned."			
** "Document relating to an art (hereinafter, "use, exhibition or publication") published prior to the international filing date but later than the priority date claimed."			
** "Document published after the international filing date but before the priority date and which is cited to understand the principles or theory underlying the claimed invention."			
** "Document of posterior relevance" (the claimed invention cannot be considered prior art or cannot be considered to be relevant to the claimed invention in accordance with the relevant laws of the country concerned).			
** "Document of particular relevance" (the claimed invention can be considered prior art or can be considered to be relevant to the claimed invention in accordance with the relevant laws of the country concerned but only in a portion thereof).			
** "Document member of the same patent family."			
IV. CERTIFICATION III			
Date of the Actual Completion of the International Search *		Date of Filing of this International Search Report *	
31 JULY 1990		14 AUG 1990	
International Searching Authority:			
ISA/US			

International Application No. PCT/US90/01984

FORM PCT/ISA/210 (Supplemental sheet 03 (Part 1-2))

1. **OTHER INFORMATION CONTINUED FROM THIS SECOND SHEET**

V **OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE.**

This International Search Report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1 Claim numbers _____, because they relate to subject matter not required to be searched by this Authority, namely:

2 Claim numbers _____, because they relate to parts of the International application that do not comply with the prescribed requirements to such an extent that no meaningful International search can be carried out, specifically:

3 Claim numbers _____, because they do not comply with the second and third sentence of PCT Rule 4.4(a).

VI **OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING.**

This International Searching Authority found multiple inventions in this International application as follows:

I. Claims 1-58, 64 drawn to a memory cell array.

II. Claims 59-63 and 65-87 drawn to a current mirror test circuit.

1. As all requested additional search fees were timely paid by the applicant, this International search report covers all searchable claims of the International application. **Telephone Practice**

2. As only some of the requested additional search fees were timely paid by the applicant, this International search report covers only those claims of the International application for which fees were paid, specifically claims:

3. No requested additional search fees were timely paid by the applicant. Consequently, this International search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. As all searchable claims could be searched without effort (including an additional fee), the International Searching Authority did not make payment of any additional fee.

Remarks on Practice

The additional search fees were accompanied by applicant's protest.

No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (Supplemental sheet 03 (Part 1-2))

第1頁の続き

優先権主張 ②1990年4月11日②米国(US)②508,273

②発明者 リー ウインストン

アメリカ合衆国 94122 カリフォルニア州 サン フランシスコ, サーティフォース アベニュー 1814

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成9年(1997)12月9日

【公表番号】特表平4-507320

【公表日】平成4年(1992)12月17日

【年通号数】

【出願番号】特願平2-506478

【国際特許分類第6版】

G11C 16/02

【F I】

G11C 17/00 612 B 9458-5L

611 A 9458-5L

手 続 極 正 書

特許庁長官殿

平成9年4月11日

1. 事件の表示

平成2年 特許願 第506478号

2.発明の名称

多状態EEPROMの読み書き回路および技術

3. 増正をする者

事件との関係 特許出願人

名称 サンディスク コーポレーション

4.代理人

住所 〒160 東京都新宿区歌舞伎町2丁目45番7号
大曾ビル4F ☎(03)3200-1004

氏名 (7514) 井理士 井ノコ寿



5. 増正命令の日付 白 勇

6. 増正の対象 明細書

補正の内容(特願平2-506478)

(1) 特許請求の範囲を以下のとおり補正する。

「特許請求の範囲

1. ソース、ドライン、コントロールゲート、メモリの使用時にプログラムされた電荷レベルを保つことができるフローティングゲートおよび前記フローティングゲートから電荷を消去状態に対応して変更できる消去電圧をもつ形式の複数のアドレス可能な半導体の電気的に消去およびプログラムが可能なメモリ(EEPROM)セルのアレイであって、一つ以上の予め定められたしきい値レベルの対応するセットにより区分される複数の領域に階層してアドレスされたセルの蓄積された電荷を読むためのシステムで:

EEPROMセルのアレイから構成されたお粗末モリセルのセット、および一つ以上の予め定められたしきい値レベルのセットでの予め定められたしきい値と実質的に対応する電荷でプログラムすることができるそれぞれの参照メモリと; および

アドレスされたセルの蓄積のレベルを参照メモリセルの前記セットの電荷と比較し、アドレスされたセルの蓄積された電荷が複数の領域のどこに置かれているかを決定することによりメモリの状態を読み手段とを含むアドレスされたセルの蓄積された電荷を読むためのシステム。

2. 請求項1記載のシステムにおいて、前記読み取りシステムが前記メモリセルをプログラムするためのシステムの部分であり、当された状態に達するまでプログラムされた状態を検証するように、プログラムと読み取りを反復的に繰り返すことにより、それぞれのアドレスされたセルが望まれる状態にしきい値を検証することによってプログラムされるアドレスされたセルの審査された電荷を読むためのシステム。

3. 請求項1記載のシステムにおいて、前記読み取りシステムは消去システムの部分であり、消去された状態に達するまで消去された状態を検証するように、消去と読み取りを反復的に繰り返すことにより、それぞれのアドレスされたセルが望まれる状態にしきい値を検証することによって消去されるアドレスされたセルの審査された電荷を読むためのシステム。

4. 請求項1記載のシステムにおいて：

それぞれのメモリセルは2つの可能なメモリの状態の1つを蓄え、そして前記メモリセルは予め定められたしきい値レベルによって区分された少なくとも2つの領域に分割されているアドレスされたセルの審査された電荷を読みためのシステム。

5. 請求項1記載のシステムにおいて：

各メモリセルは2以上の可能性のあるメモリ状態の1つを記憶し、各メモリセルは接続した領域と予め定

められたしきい値レベルによって区分された少なくとも2以上の領域に分割されているアドレスされたセルの審査された電荷を読むためのシステム。

6. 請求項1記載のシステムにおいて：

セルの消去可能な複数のグループがEEPROMセルの前記アレイ中に、各消去可能なグループのセルが一緒に消去することができるよう組織化されているセルの消去可能な複数のグループと；

消去可能なグループの参照メモリセルのセットは、前記複数の消去可能なセルのグループの各消去可能なグループに関連してそれらから構成されており、そして各消去可能なグループの各消去可能なグループの参照メモリセルは、またはそれ以上の予め定められたしきい値レベルのセットにある定められたしきい値に当該的に対応する電荷でプログラム可能である消去可能なグループ参照メモリセルのセットと；および

与えられた消去可能なグループからのあるアドレスされたセルの前記電荷のレベルを、前記与えられた消去グループに関連する参照メモリセルの前記セットとのそれと比較するための手段であって、前記アドレスされたセルの前記審査された電荷が前記複数の領域のどこに存在することを決定することにより、前記メモリの状態を読みことにより、比較するための手段とを含むシステム。

7. 請求項6記載のシステムにおいて：

関連するセルの消去可能なグループと一緒に消去されたあとで、前記予め定められたしきい値レベルのセットを前記消去可能なグループの参照メモリセルのセットと複数するための手段を前記消去可能なグループの各プログラミング手段をさらに含むシステム。

8. 請求項7記載のシステムにおいて：

前記アレイ中のEEPROMセルから構成される1またはそれ以上のマスク参照メモリセルのセットで、予め定められた参照しきい値のセットを蓄積するためのものであり、それから前記予め定められたしきい値レベルのセットが隣接することができるものである1またはそれ以上のマスク参照メモリセルのセットを含むシステム。

9. 請求項8記載のシステムにおいて、前記予め定められたしきい値レベルのセットは、前記予め定められた参照しきい値レベルのセットを基準化することにより隣接することができるものであるシステム。

10. 請求項8記載のメモリシステムにおいて、前記読み取り手段は、アドレインされたセルを含む与えられた消去可能なグループと関連する消去可能なグループの参照EEPROMセルの前記セットからのそれに対応するように前記予め定められた参照しきい値のセットを調節する手段、および前記アドレスされたセ

ルの電荷レベルを予め定められた参照しきい値レベルの前記のように調節されたセットと比較するための手段とを含むシステム。

11. 集積回路メモリシステムで、複数のアドレス可能な半導体のアンプをもち、電気的に消去可能なEEPROMセルで、ソニス、ドレイン、コントロールゲート、前記メモリシステムの使用中にプログラムされた電荷レベルを保持することができるフローティングゲートをもち、メモリの状態を区分するために用いられる一つ以上の予め定められたしきい値の電荷レベルに対する導通電流の対応するしきい値をもつある決まったメモリ状態となり、そして、前記フローティングゲートの電荷を消去状態に対応して変更することができる消去手段をもち、そして、前記メモリシステムはアドレスされたセルのプログラムされた状態を決定する読み取りシステムを含む前記のメモリシステムを含み、前記読み取りシステムは：

EEPROMセルのアレイから構成された1つ以上の参照メモリセルで、前記セルは前記の一つ以上の予め定められたしきい値の各々と対応する電荷でそれぞれプログラムされている1つ以上の参照メモリセルと；

アドレスされたセルのしきい値電荷レベルを前記一つ以上の参照メモリセルのものと比較するため前記の

一つ以上の電圧メモリセルに応答する手段であり、それによりアドレスされたセルが一つ以上の予め定められたしきい値のどれに閾値するかを決定し、それによりアドレスされたセルで蓄積されたデータの一つ以上のビットが読み出しが可能であり；そしてそこににおいて、前記しきい値の電流レベルを比較する手段はさらに：

アドレスされたセルの前記しきい値電流レベルを一つ以上の再現された電流に再現するための一対多のカレントミラー手段であり、前記カレントミラーはアドレスされたセルの前記しきい値電流レベルを流す第1の脚と複数の枝を含む第2の脚をもち、その結果それらの枝は前記の一つ以上の予め定められたしきい値レベルの一つと閾値させられるものである一対多のカレントミラー手段；

そこで再現された電流を再現するために各枝に受けられた第1の電流源であり、前記再現された電流は、前記第1の脚におけるしきい値電流と実質的に等しいものである第1の電流源；

予め定められたしきい値レベルの一つをもつ参照電流を供給するための各枝の第2の電流源と；そして

第1および第2の電流源の接点において、相対的に高いかまたは低い電圧を各枝で同時に検出するための手段であり、前記相対的に高いかまたは低い電圧は、

前記第1の電流源により供給される前記しきい値電流レベルと同一の前記再現された電流が、前記第2の電流源により供給される予め定められたしきい値レベルの一つの電流よりも大きい振幅かまたは小さい振幅をもつかどうかに対応する各枝で同時に検出するための手段とを含む複数回路メモリシステム。

12. 複数の予め定められた電流レベルに閾値するナスト電流を感知する回路であって：

テスト電流を一つ以上の再現された電流に再現するための一対多のカレントミラー手段であり、前記カレントミラーは前記ナスト電流を流す第1の脚および複数の枝を含む第2の脚をもち、各枝が参照電流レベルに閾値するものである一対多のカレントミラー手段；

各々の枝で再現された電流を再現するためのものであり、前記再現された電流は前記第1の脚のテスト電流と実質的に同一である第1の電流源；

各枝で前記予め定められた参照電流レベルの一つをもつ参照電流を供給するための第2の電流源と；および

前記第1および第2の電流源間の接点で前記各枝において相対的に高いかまたは低い電圧を同時に検出するための手段であって、前記相対的に高いかまたは低い電圧は、前記第1の電流源により供給される前記テスト電流と同一の前記再現された電流が、前記第2の

電流源により供給される前記参照電流のものよりも大きい振幅かまたは小さい振幅をもつかどうかに対応する各枝で同時に検出するための手段とを含むテスト電流を感知するための回路。

13. 請求項11記載の回路において、前記テスト電流がメモリセルの導通電流によって供給され、前記導通電流はメモリ状態を規定するものである回路。

14. 請求項12記載の回路において、前記メモリセルはEEPROMまたはフラッシュEEPROMである回路。

15. 請求項11記載の回路において、各枝における前記第2の電流源はプログラム可能な参照電流源である回路。

16. 請求項14記載の回路において、前記テスト電流がメモリセルの導通電流によって供給され、前記導通電流はメモリの状態を規定するものである回路。

17. 請求項15記載の回路において、前記メモリセルはEEPROMかフラッシュEEPROMである回路。

18. 請求項15記載の回路において、前記プログラム可能な参照電流源はメモリセルの導通電流によって供給され、前記導通電流はメモリ状態を規定する導通電流をもつものである回路。

19. 請求項18記載の回路において、前記メモ

リセルはEEPROMかフラッシュEEPROMである回路。

20. プログラム可能な参照電流源は最初のプログラム可能な参照電流源から回路により複数されるものである請求項15記載の回路において：

第1および第2の1対1のカレントミラー手段のそれぞれは二つの脚のそれぞれにただ一つの枝をもち、前記第1および第2の1対1のカレントミラー手段はそれら二つの脚の一つにより相互接続されており、そして前記第2の電流源は第2の1対1のカレントミラー手段の他の脚に接続されることにより提供される第1および第2のカレントミラー手段と；および、

参照電流を供給するための最初のプログラム可能な参照電流源であり、前記最初のプログラム可能な参照電流源は、前記第1の1対1のカレントミラー手段の他の脚に接続されており、それにより前記相互接続された脚に実質に同様の参照電流を有し、そして、次に前記第2の1対1のカレントミラー手段の他の脚に同じものを写し、これにより、前記第2の電流源に最初のプログラム可能な参照電流源の電流と実質的に同様の電流を与えるものである最初のプログラム可能な参照電流源を含む回路。

21. 請求項20記載の回路において、前記テスト電流はメモリの状態を規定するメモリセルの導通電

により供給されるものである回路。

22. 請求項21記載の回路において、前記メモリセルはEEPROMかフラッシュEEPROMである回路。

23. 請求項20記載の回路において、前記プログラム可能な参照電流はメモリの状態を規定する導通電流をもつメモリセルにより供給される回路。

24. 請求項23記載の回路において、前記メモリセルはEEPROMかフラッシュEEPROMである回路。

25. 請求項20記載の回路において、前記1対のカレントミラー手段と前記第1の1対3のカレントミラー手段は同一の属性をもつトランジスタから構成されており、そして前記第2の1対1のカレントミラー手段は異なる属性のトランジスタから構成されている回路。

26. 請求項21記載の回路において、それぞれの枝に予め定められた参照電流を供給するための前記第2の電流源は：

ソース、ドレインおよびゲートをもつ予め定められたサイズのトランジスタと；および

前記ゲートに予め定められた参照電圧を印加するための手段であり、前記予め定められたサイズのトランジスタのソースおよびドレインを流れる前記予め定め

られた参照電流の一つを発生する予め定められた参照電圧を印加するための手段と；

前記予め定められた参照電圧は前記枝と前記枝を接続する予め定められたサイズの並にかかわらず一定で、前記枝に予め定められた複数の参照電流を発生させる回路。

27. 請求項26記載の回路において、前記テスト電流はメモリセルの導通電流によって供給され、前記導通電流はメモリの状態を規定するものである回路。

28. 請求項27記載の回路において、前記メモリセルはEEPROMかフラッシュEEPROMである回路。

29. 請求項26記載の回路において、前記一定の参照電流はメモリセルの導通電流によって供給され、前記導通電流はメモリの状態を規定するものである回路。

30. 請求項28記載の回路において、前記メモリセルはEEPROMかフラッシュEEPROMである回路。

31. 請求項21記載の回路において、複数の予め定められた参照電流レベルに調節してテスト電流を検出するための回路は：

それぞれの回路の参照電流レベルはその最も低い参照電流レベルのそれから倍率要素によって計ることが

でき、

それぞれの枝は参照電流レベルおよび倍率要素に開通させられており；

各枝での前記導通電流は前記第1の側のテスト電流から開通する倍率要素により計ることができ；そして各枝の前記第2の電流源は前記複数の参照電流レベルから最も高い参照電流レベルを供給するものであるテスト電流を感知するための回路。

32. 請求項31記載の回路において、前記テスト電流はメモリセルの導通電流によって供給され、前記導通電流はメモリの状態を規定するものである回路。

33. 請求項32記載の回路において、前記メモリセルはEEPROMかフラッシュEEPROMである回路。

34. 請求項31記載の回路において、前記最も高い参照電流はメモリセルの導通電流により供給され、前記導通電流はメモリの状態を規定するものである回路。

35. 請求項34記載の回路において、前記メモリセルはEEPROMかフラッシュEEPROMである回路。

36. メモリセルをもつEEPROMシステムを操作する方法で、前記セルは前記セルに印加された適当な電圧に対応して駆動することができる電荷レベル

を保持する電気的フローティングゲートを含み、それによって、前記セルを流すことにより検出可能な検出可能なしきい値レベルを確立する方法において：

前記適当な電圧を複数の前記のメモリセルに並列に印加することにより前記複数のメモリセルのフローティングゲートの電荷レベルを変化させ、

前記複数のメモリセルの前記しきい値レベルを別々に検出し、そして

前記複数のメモリセルが望まれたしきい値レベルに達したことが検出されるとただちに前記複数のメモリセルの個々への前記適当な電圧の印加を終了し、前記すべての複数のセルが望まれたしきい値レベルに達したことが検出されるまで、前記の適当な電圧を前記複数のセル以外に印加しつづけるメモリセルをもつEEPROMシステムを操作する方法。

37. 請求項36記載の方法において、前記望まれたしきい値レベルが2つである方法。

38. 請求項36記載の方法において、前記望まれたしきい値レベルが2以上である方法。

39. 請求項36記載の方法において、前記複数のメモリセルの前記望まれたしきい値レベルは、しきい値レベルの2つの既存しないプログラムされた電圧を含む方法。

40. 請求項36記載の方法において、前記複数

のメモリセルの前記述されたしきい値レベルは、しきい値レベルの2以上の重複しないプログラムされた領域を含む方法。

4.1. 請求項9-8記載の方法において、前記述されたしきい値レベルが消去されたしきい値レベルを含む方法。

4.2. 請求項8-6記載の方法において、メモリセルの前記アレイはセルのブロックにグループ化され、そのしきい値レベルは前記適当な電圧が印加される時に一つの与えられたレベルに一緒に変更される方法。

4.3. 請求項4-2記載の方法において、前記適当な電圧が並列に印加される複数のメモリセルは、前記ブロックの個々内の複数のメモリセルよりも少なく、そして、さらに、前記ブロックの一つ内の他の複数のセルに前記印加、検出および終了を繰り返すものである方法。

4.4. 請求項9-0～4.2記載のいずれかの方法は、一つの累積回路チップにより実行されるものである方法。

4.5. 不揮発性メモリシステムであって：

累積回路チップ上のアドレス可能な半導体の電気的に消去可能なプログラム可能なメモリ（EEPROM）セルのアレイであり、前記メモリセルはソース、ドレイン、コントロールゲートおよび消去電極をもち、

前記消去電極は、前記セル中のデータの読み取り、プログラミング、および消去のための特定の電圧状態に適応性をもつものであり、そして前記セルの特がメモリ状態に対応して特定の電圧レベルを保持することができるフローティングゲートをもつ前記電極のアレイと。

フローティングゲートの電圧レベルを変更することによって、プログラミングか消去の電圧状態が印加されるとただちに、前記セルの特定のメモリ状態の望まれた一つの次態に達成するための手段と。

複数のアドレスされたEEPROMセルに対するデータをプログラムするシステムで：

前記複数のアドレスされたセルの状態を前記データで並列にプログラムするための手段と、

前記複数のアドレスされたセルのそれぞれのプログラムされた状態が前記データと対応することを検証する手段と、

前記複数のアドレスされたセル中の正しく検証されたセルをさらにプログラムすることを禁止する手段と、および

前記全てのアドレスされたセルが正しく検証されるまで、前記複数のアドレスされたセルを並列にさらにプログラムし、検証し、正しく検証されたセルのプログラミングを禁止する手段と、を含む不揮発性メモリ

システム。

4.6. 請求項4-5記載のEEPROMセルをプログラムするためのシステムにおいて、前記プログラミングシステムはEEPROMの累積回路チップに設けられているシステム。

4.7. 請求項4-5記載のEEPROMセルをプログラムするためのシステムにおいて、前記個々のメモリセルは2つの特定のプログラムされたメモリの状態をもつものであるシステム。

4.8. 請求項4-5記載のEEPROMセルをプログラムするためのシステムにおいて、前記個々のメモリセルは2以上の特定のプログラムされたメモリの状態をもつものであるシステム。

4.9. 請求項4-5または4-6のいずれかのEEPROMセルのプログラミングシステムにおいて、全てのアドレスされた複数のセルが正しく検証されるまで正しく検証されたセルのプログラミングを禁止する手段は、複数のラッチと、そして検証された前記アドレスされた複数のセルに対応する個々のラッチをセットする手段とを含むシステム。

5.0. 請求項4-9記載のEEPROMセルをプログラムするためのシステムにおいて、プログラムされたデータを検証するための前記手段は個々のプログラムされたセルの電圧レベルに関連したパラメータを檢

山するための手段を含み、そして前記個々のプログラムされたセルから検出されたパラメータをプログラムされた前記データに関連する少なくとも一つの参照パラメータと比較する手段であって、個々のプログラムされたセルは達成されたパラメータの前記比較により検証されるものであるシステム。

5.1. 前記請求項4-5～4-8記載のいずれかのEEPROMセルをプログラムするためのシステムにおいて、前記メモリセル消去電極は消去ゲートを含むシステム。

5.2. 請求項4-6または4-6記載のいずれかのEEPROMセルをプログラムするためのシステムにおいて、前記システムは少なくとも一つの累積メモリセルを含み、そして前記システムはさらに前記少なくとも一つの参照セルを参照ペルにプログラムするための手段を含むものにおいて、前記検証手段は前記プログラムされたデータを検証するための前記少なくとも一つの参照セルの前記参照レベルを読み取るための手段を含むシステム。

5.3. 請求項4-5または4-6記載のいずれかのEEPROMセルをプログラムするためのシステムにおいて、前記メモリセルのアレイは、複数の導通ビット線で、前記ビット線は、ビット線の近傍するものにモザイク構造で構成されている前記メモリセルの個々の前記ソ

ースとドレインをもつビット線であり、および複数の選択性のワードラインであり複数の附近したメモリセルのコントロールゲートにそれぞれ接続されているワードラインとを含むシステム。

54. 請求項53記載のEEPROMセルをプログラムするためのシステムにおいて、前記個々のメモリセルは選択トランジスタを含むシステム。

55. 請求項45または46記載のいずれかのEEPROMセルをプログラムするためのシステムにおいて、前記アドレス可能なメモリセルのアレイは複数のアドレス可能なブロックに組織され、前記個々のブロックは同時に消去可能な個々のブロックの前記セルにより接続され、前記システムはさらに、前記複数のアドレス可能なブロックの個々のアドレスされたブロック内の前記メモリセルに同時に消去電圧を印加するための手段を含むシステム。

56. 請求項55記載のEEPROMセルをプログラムするためのシステムにおいて、前記システムは、過剰に消去された少なくとも一つのブロックの任意のセルを消去された进而レベルに調整するために、少なくとも一つのセルのブロックへの消去電圧を印加した後で動作する手段をさらに含むシステム。

57. 請求項55記載のEEPROMセルをプログラムするためのシステムにおいて、前記消去手段は

前記複数のアドレス可能なブロックの個々のアドレスされたものに接続可能な手段を含み、前記ブロックの内のメモリセルに消去電圧を同時に印加するためのものであり、前記メモリセルは消去電圧が印加される度は少なくとも第1および第2の異なる特定のメモリ状態にあるシステム。

58. 請求項45または46記載のいずれかのEEPROMセルをプログラムするためのシステムで、前記アドレス可能なメモリセルのアレイは複数のアドレス可能なブロックに組織され、前記個々のブロックは一緒に消去可能なことである個々のブロックの前記セルにより接続され、前記システムはさらに前記少くとも一つの参照セルがセルのブロックの個々に含まれ、そして、前記システムはさらに前記少くとも一つの参照セルをある参照レベルにプログラムするための手段を含むものであり、ここにおいて、前記検証手段は前記ブロックの前記参照セルの参照レベルを決めるための手段を含み、ここにおいて、前記複数のアドレスされたセルは前記プログラムされたデータを検証するための手段を含むものであるシステム。

59. 請求項45または46記載のいずれかのEEPROMセルをプログラムするためのシステムにおいて、特定のメモリ状態に対応する特定の電圧レベルは、少なくとも一つのブレークポイントのしきい値レベル

ベルを含み、そしてここにおいて、前記検証手段は、余白により、前記特定のメモリ状態にプログラムすることにより前記メモリセルの状態を読み取るための手段を含むシステム。

60. 請求項59記載のEEPROMセルをプログラムするためのシステムにおいて、前記特定のメモリ状態に対応する前記特定の電圧レベルは正確に一つのブレークポイントのしきい値レベルを含むシステム。

61. 請求項59記載のEEPROMセルをプログラムするためのシステムにおいて、特定のメモリ状態に対応する前記特定の電圧レベルは一つ以上のブレークポイントのしきい値レベルを含むシステム。

62. 請求項45または46記載のいずれかのシステムにおいて、前記システムは、前記アドレスされた複数のセルにプログラムされている入力データを二階的に接続する手段をさらに含むものであり、そしてさらに、ここにおいて、前記検証手段は、前記アドレスされた複数のセルの各々にプログラムされたデータと前記一時的に接続された手段のデータを比較する手段を含むシステム。

63. 小型免許メモリシステムにおいて：アドレス可能な半導体の電気的に消去可能なプログラム可能なメモリ（EEPROM）セルのアレイで構成されたチップに接続され、前記メモリセルは、ソース、

ドレイン、コントロールゲートおよび消去電極をもち、前記消去電極は、前記セルでのデータの読み取り、プログラミングおよび消去のために特定の電圧状態に感受性をもつものであり、そして前記メモリセルは前記セルの特定のメモリ状態に対応する特定の電圧レベルを保持することができるフローティングゲートをもつアンイト。

前記セルの前記特定のメモリ状態の復元しい一つを達成するための手段で、プログラミングまたは消去の電圧状態を前記フローティングゲートに印加することによりフローティングゲート上の電圧レベルを変化させるものである手段と、

製造のアドレスされたEEPROMセルを消去するためのシステムで：

前記複数のアドレスされたセルの状態を同時に消去する手段と、

前記複数のアドレスされたセルの各々の消去状態を検証する手段と、

前記複数のアドレスされたセル内で正しく検証されたセルをさらに消去する手段と、

前記複数のアドレスされたセルのすべてが正しく検証されたまで前記複数のアドレスされたセルを並列にさらに消去し正しく検証されそして正しく検証されたセルの消去を禁止する手段とを含む不揮発性メモリシ

ステム。

64. E PROMセルの不揮発性メモリで、各々は前記セルの特定のメモリ状態に対応する特定の電荷レベルを保持することができるフローティングゲートをもち、前記E PROMセルは単位として前記可编程である多数のヤルのブロックに分割されているE PROMセルが不揮発性メモリにおいて、複数のセルを書き換える方法であって、前記セルのフローティングゲートは異なる特定のメモリ状態にプログラムされているものである書き換え方法において：

異なる特定のメモリ状態でプログラムされている前記複数のセルを前記セルのブロックに消去電圧を印加し；

前記複数のセルにプログラムされるべき状態に対応する新しいデータを提供し；

プログラム電圧を電圧されている状態にない前記複数のセルに同時に印加し；

前記複数のセル以外のセルがそれらの個々の電圧する状態になった時に個々に検証し；

電圧する状態にあることが検証された前記他の複数のセルの各々のプログラムを選択的に終了し；そしてその後前記複数のセルの全てがそれらの電圧する状態になるまで、プログラミング、検証、および選択終了の動作を繰り返し、これにより前記複数のセルの全

てのデータが新しいデータに書き換える方法。

65. 請求項64記載の方法において、前記複数のセルは前記個々のブロック内のセルの数より少ないものである方法。

66. 請求項64記載の方法において、前記複数のメモリセルはセルのまとまりであり、前記個々のブロックは複数の前記まとまりを含む方法。

67. 請求項64記載の方法において、前記対応するメモリセルの状態は2つである方法。

68. 請求項64記載の方法において、前記対応するメモリセルの状態は2を越えるものである方法。

69. フラッシュE PROMシステムであって；複数のE PROMセルの各々は前記セルの特定のメモリ状態に対応する特定の電荷レベルを保持することができるフローティングゲートを持つ複数のRKE PROMセルと；

消去回路であり、あるアドレスされたE PROMセルのブロックに対して並列に継続的に消去電圧パルスを供給する消去回路と；

プログラミング回路であり、あるアドレスされたE PROMセルのブロックに対して並列に継続的にプロアラミング電圧パルスを供給するプログラミング回路と；

検証回路であり、消去パルスまたはプログラミング

パルスの後でアドレスされたセルの電荷レベルを感知し、その対応するメモリ状態を決定する検証回路と；および

前記検証回路に応答する終了回路であり、前記複数セルがその電圧する状態にあると検証されたヤルに前記パルスの印加それ以上のパルスの印加を終了する一方、他の複数のセルに、そこににある全部のセルが正しく検証されるまで、パルスの印加を許容する終了回路とを含むフラッシュE PROMシステム。

70. フラッシュE PROMシステムであって；複数のE PROMセルの各々は、前記セルの特定のメモリ状態に対応する特定の電荷レベルを保持することができるフローティングゲートをもち、前記複数のE PROMセルはそれぞれがセルのまとまりの複数を含むように複数のブロックに分割されており、そして前記各ブロックは消去可能な単位ブロックである複数のEEPROMセルと；

E PROMセルのアドレスされたブロックに対して並列的に継続的消去電圧パルスを供給する消去回路と；

E PROMセルのアドレスされたまとまりに対し、並列的に継続的プログラミング電圧パルスを供給するプログラミング回路と；

検証回路であり、消去パルスまたはプログラミング

パルスの後でアドレスされたセルの電荷レベルを感知し、その対応するメモリ状態を決定する検証回路と；および

前記検証回路に応答するプログラミング終了回路であり、前記セルがその電圧する状態にあると検証されたセルに前記プログラミングパルスの印加で前記まとまりの前記セルにそれ以上のプログラミングパルスの印加を終了する一方、他の複数のセルのまとまりに、そこにある全部のセルが正しく検証されるまで、プログラミングパルスの印加を許容するプログラミング終了回路とを含むフラッシュE PROMシステム。

71. 複数回路チャップ上に形成されたメモリセルアレイをもつE PROMシステムを動作させる方法で、対応する複数のデータのまとまりを蓄積する複数のセルのセットを含むグループにおいてであり、ここにおいて、個々のセルはソース、ドレイン、電気的フローティングゲートおよびコントロールゲートを含み、前記フローティングゲートの電荷レベルはそこに印加された電圧に応答して増減され、前記セルを読み取る際に後出で含む電気的特性を復元するものである方法において；

個々のメモリセルの少なくとも2つの対応する状態を判定する前記電気的特性の少なくとも2つの異なり合わない領域を確立し、

少なくとも前記セルのグループの一つ内に個々のセルの1セットを、入力データの対応するまとまりで規定されている状態に並列にプログラミングし、前記プログラミングは、前記セルの1セットに適当なプログラミング電圧を印加することによりなされ、前記プログラミングは、

前記1セットのセルの個々のセルの電気的特性が、入力データの対応するまとまりにより規定された状態に対応する前記少なくとも2つの重なり合わない領域の一方にあることを決定し、

入力データの対応するまとまりに規定されるそれらの状態に達したと決定された個々のセルのプログラミングを選択的に禁止する一方、そのような禁止をすることなしに並列で前記セルの1セット中の他のセルのプログラムを継続し、そして、

前記セルの1セットの全てが前記入力データの対応するまとまりにより規定されるそれらの状態に達したことが決定されると、前記プログラミング動作を終了させることで前記プログラミングは達成され、

さらに他のセルのセットに順次前記プログラミング動作を繰り返し、セルのグループの前記少なくとも一つに入力データの付加的なまとまりを重複し、これらのセルの異なるプログラムされたメモリの状態にしたがって、セルのグループの少なくとも一つ内に前記セ

ルの個々の電気的な特徴を異なる値にセットし、

その後に前記蓄積されたデータを前記グループの前記少なくとも一つの個々のセルに適当な読み取り電圧を印加することにより読み取り、読みされているセルの個々のセルの電気的特性を検出し、そして読みまっている個々のセル中の個々のセルの検出された電気的特性に前記少なくとも二つの状態のどちらが対応するかを決定し、そして

その後に前記負なってプログラムされたメモリ状態をもつ前記グループの少なくとも一つのセルに、前記グループの少なくとも一つの前記セルの電気的特性をある順序状態に対応する値にリセットするため、適当な消去電圧を印加するシステム、

7.2. 請求項7.1記載の方法において、前記個々のメモリセルの二つ以上の対応する状態を規定する前記電気的特性の重なり合わない2つ以上の領域を確立することを含む少なくとも2つの重なり合わない領域を確立するものである方法。

7.3. 請求項7.2記載の方法において、データの読み取りは前記セルの個々の電気的特性の領域がどこにあるかを決定することにより達成されものであり、そしてプログラミングデータは個々のセルの前記電気的特性がそのような領域の減少させられた領域内に存在するときを決定することを含み、前記個々のセルは余白をもつ電気的特性の中に余白を持ってプログラムされるものである方法。

余白をもつ電気的特性の中に余白を持ってプログラムされるものである方法。

7.4. 請求項7.1記載の方法において、データの読み取りは前記セルの個々の電気的特性の領域がどこにあるかを決定することにより達成されものであり、ここにおいて、プログラミングデータは個々のセルの前記電気的特性がそのような領域の減少させられた領域内に存在するときを決定することを含み、前記個々のセルは余白をもつ電気的特性の中に余白を持ってプログラムされるものである方法。

7.5. 請求項7.1～7.4記載のいずれかの方法において、プログラミングは、個々のセルが入力データの対応するまとまりにより規定された状態に達したことが決定されると個々のセルをさらにプログラミングすること終了することにより選択的に禁止する一方、プログラムされているセルの一つのセット内の他のセルを並列にプログラムを継続するものである方法。